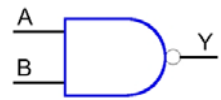
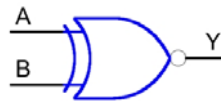


# BRAMKI



**Konspekt do ćwiczeń laboratoryjnych  
z przedmiotu „TECHNIKA CYFROWA”**

## SPIS TREŚCI

<b>1. SYMBOLE PODSTAWOWYCH BRAMEK, ICH TABELE PRAWDY ORAZ WŁASNOŚCI.....</b>	<b>4</b>
<b>1.1. Opis podstawowych własności bramek logicznych.....</b>	<b>4</b>
<b>1.2 Wymiennność bramek.....</b>	<b>6</b>
<b>1.3 Miejsce symbolu negacji stanu.....</b>	<b>6</b>
<b>2. PODSTAWOWE OKREŚLENIA I KLASYFIKACJE CYFROWYCH UKŁADÓW SCALONYCH.....</b>	<b>7</b>
<b>3. ZASADNICZE PARAMETRY CYFROWYCH UKŁADÓW SCALONYCH.....</b>	<b>8</b>
<b>3.1. Szybkość działania.....</b>	<b>8</b>
<b>3.2. Moc strat.....</b>	<b>9</b>
<b>3.3. Odporność na zakłócenia.....</b>	<b>9</b>
<b>3.4. Zgodność łączeniowa i obciążalność.....</b>	<b>12</b>
<b>4. UKŁADY CYFROWE RODZINY TTL.....</b>	<b>13</b>
<b>4.1. Podstawowa bramka TTL.....</b>	<b>14</b>
4.1.1. Stany statyczne bramek.....	15
4.1.1.1. Stan włączenia (niski stan na wyjściu bramki).....	16
4.1.1.2. Stan wyłączenia (stan wysoki na wyjściu).....	17
4.1.2. Przełączanie bramki.....	18
4.1.3. Charakterystyka wejściowa.....	20
4.1.4. Inne rodzaje bramek serii TTL.....	20
4.1.4.1. Bramka z otwartym kolektorem.....	21
4.1.4.2. Bramka trójstanowa.....	23
4.1.4.3. Bramka z układem Schmitta.....	24
<b>4.2. Podstawowe bramki innych serii.....</b>	<b>26</b>
<b>4.2.1. bramki Schottky'ego (rodzina 74S).....</b>	<b>27</b>
4.2.2. Bramka TTL NAND Schottkyego małej mocy 74LS.....	28
4.2.3. Bramka ALS (Advanced Low Power Schottky).....	30
4.2.4. Bramka typu F (FAST).....	30
4.2.5. Bramka AS (Advanced Schottky).....	32
<b>5. UKŁADY SCALONE RODZINY CMOS.....</b>	<b>34</b>
<b>5.1. Krótki opis rodziny.....</b>	<b>34</b>
<b>5.2. Zestawienie zasadniczych parametrów rodziny CMOS.....</b>	<b>35</b>
<b>5.3. Podstawowe bramki CMOS – budowa, zasada działania, charakterystyki.....</b>	<b>37</b>
<b>5.4 Inne bramki rodziny CMOS.....</b>	<b>38</b>

5.4.1. Bramki NAND i NOR.....	38
5.4.2 Bramka transmisyjna.....	42
<b>5.5. Charakterystyki bramek CMOS.....</b>	<b>43</b>
<b>5.6. Porównanie rodzin TTL i CMOS.....</b>	<b>44</b>
5.6.1 Napięcie zasilania .....	44
5.6.2 Wejścia bramek.....	45
5.6.3 Wyjścia bramek.....	45
5.6.4 Szybkość i moc .....	45
5.6.5 Odporność na zakłócenia .....	46
<b>5.7. Wady układów TTL i CMOS .....</b>	<b>46</b>
<b>5.8. Porównanie charakterystyk.....</b>	<b>47</b>
<b>6. SPRZĘGANIE ZE SOBĄ UKŁADÓW CYFROWYCH Z RÓŻNYCH RODZIN.....</b>	<b>50</b>
<b>6.1. Współpraca układów TTL i CMOS z zewnętrznymi układami sprzęgającymi .....</b>	<b>53</b>
<b>6.2. Problem niewykorzystanych wyprowadzeń bramek i jego konsekwencje.....</b>	<b>55</b>
6.2.1 Bramki TTL .....	55
6.2.2 Bramki CMOS .....	56
<b>6.3. Sygnały cyfrowe a długie przewody .....</b>	<b>57</b>
6.3.1. Połączenia lokalne - stany przejściowe w stopniach wyjściowych. ....	57
6.3.2. Szpilki powstające przy sterowaniu obciążeniami pojemnościowymi .....	59
6.3.3. Połączenia między płytkami .....	59
<b>7. LITERATURA .....</b>	<b>60</b>

# 1. SYMBOLE PODSTAWOWYCH BRAMEK, ICH TABELE PRAWDY ORAZ WŁASNOŚCI

## 1.1. OPIS PODSTAWOWYCH WŁASNOŚCI BRAMEK LOGICZNYCH

Symbole podstawowych bramek logicznych wraz z tabelami prawdy zebrano w tab. 1.1. Bramka AND realizuje funkcję iloczynu logicznego. W algebrze Boole'a symbolowi AND odpowiada kropka ( $\cdot$ ). Wyjście bramki AND jest w stanie wysokim tylko wtedy, gdy oba wejścia są w stanie wysokim. Dostępne są bramki 3- i 4- wejściowe, czasem także o większej liczbie wejść (np. 8-wejściowa bramka AND będzie miała wyjście w stanie wysokim tylko wtedy, gdy wszystkie wejścia będą w stanie wysokim). Wyjście bramki OR jest w stanie wysokim, jeżeli którekolwiek z wejść jest w stanie wysokim. W przypadku ogólnym bramki mogą mieć dowolną ilość wejść. Typowy układ scalony zawiera cztery bramki 2-wejściowe lub trzy bramki 3-wejściowe lub dwie 4-wejściowe (np. wyjście 4-wejściowej bramki OR będzie w stanie wysokim, jeżeli przynajmniej jedno jej wejście będzie w stanie wysokim).

Bramka NAND to zanegowany iloczyn, funkcję realizowaną przez tę bramkę można łatwo wytłumaczyć wykorzystując prawo de Morgana:

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

Bramkę NAND można zastąpić bramką OR z zanegowanymi wejściami. Taką operację można wykonać także w drugą stronę. Wyjście bramki NAND jest w stanie wysokim, gdy przynajmniej jedno wejście (lub wszystkie) będzie w stanie niskim.

Bramka NOR to zanegowana suma, funkcję realizowaną przez tę bramkę można łatwo wytłumaczyć wykorzystując prawo de Morgana:

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$







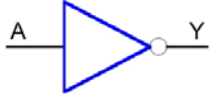
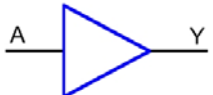
Bramkę NOR można zastąpić bramką AND z zanegowanymi wejściami. Taką operację można wykonać także w drugą stronę. Wyjście bramki NOR jest w stanie wysokim tylko wtedy, gdy wszystkie wejścia są w stanie wysokim.

Bramka XOR realizuje dodawanie bitów modulo-2. Wyjście bramki XOR jest w stanie wysokim, jeżeli jedno albo drugie wejście jest w stanie wysokim. Mówiąc inaczej, wyjście jest w stanie wysokim, jeżeli stany wejść są różne.

Wyjście bramki XNOR jest w stanie wysokim, jeżeli wszystkie wejścia są w tym samym stanie. Mówiąc inaczej, wyjście jest w stanie wysokim, jeżeli wszystkie wejścia są w stanie wysokim lub wszystkie wejścia są w stanie niskim<sup>1</sup>. Często potrzebujemy zmienić stan logiczny na przeciwny (nazywa się to również negowaniem stanu logicznego). Jest to funkcja inwertera. Bufor jest to bramka realizująca funkcję  $Y=A$ , o zwiększonej wydajności prądowej.

---

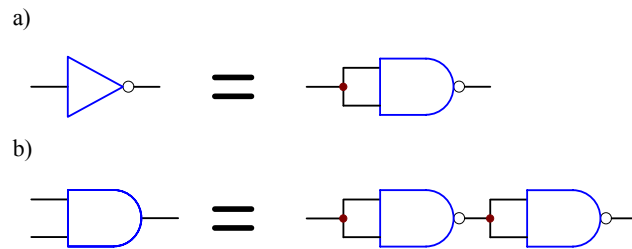
<sup>1</sup> Funkcja  $A_1 \oplus A_2 \oplus \dots \oplus A_n = 1$ , gdy nieparzysta ilość  $A_n$  jest w stanie 1, natomiast funkcja  $A_1 \otimes A_2 \otimes \dots \otimes A_n = 1$ , gdy parzysta ilość  $A_n$  jest w stanie 1.

Rodzaj bramki	Symbol bramki	Tabela prawdy		
AND		A	B	$Y = A \cdot B$
		0	0	0
		0	1	0
		1	0	0
		1	1	1
NAND		A	B	$Y = \overline{A \cdot B}$
		0	0	1
		0	1	1
		1	0	1
		1	1	0
OR		A	B	$Y = A + B$
		0	0	0
		0	1	1
		1	0	1
		1	1	1
NOR		A	B	$Y = \overline{A + B}$
		0	0	1
		0	1	0
		1	0	0
		1	1	0
EX-OR		A	B	$Y = A \oplus B$
		0	0	0
		0	1	1
		1	0	1
		1	1	0
EX-NOR		A	B	$Y = A \otimes B$
		0	0	1
		0	1	0
		1	0	0
		1	1	1
INWERTER		A	$Y = \overline{A}$	
		0	1	
		1	0	
BUFOR		A	$Y = A$	
		0	0	
		1	1	

*Tab. 1.1 Symbole podstawowych bramek i ich tablice prawdy*

## 1.2 WYMIENNOŚĆ BRAMEK

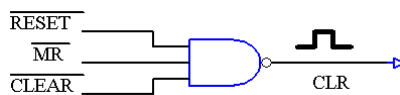
Przy projektowaniu układów cyfrowych należy mieć na uwadze, że za pomocą pewnych rodzajów bramek można utworzyć inne. Na przykład, jeżeli potrzebna jest bramka AND, a mamy do dyspozycji połowę układu '00 (cztery dwuwejściowe bramki NAND), możemy zastosować kombinację. Mówiąc ogólnie, wielokrotne użycie jakiejkolwiek bramki odwracającej (np. NAND) pozwala zrealizować dowolną funkcję kombinacyjną. Nie jest to prawdą dla bramek nieodwracających, ponieważ nie można za ich pomocą zrealizować inwertera.



Rys. 1.1 Sposób przedstawienia inwertera za pomocą bramki NAND (a) oraz bramki AND za pomocą dwóch bramek NAND (b)

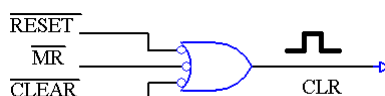
## 1.3 MIEJSCE SYMBOLU NEGACJI STANU

Wyjście bramki AND jest w stanie H, jeżeli oba wejścia są w stanie H. Jeżeli H oznacza „prawdę” to na wyjściu bramki otrzymuje się sygnał „prawda” tylko wtedy, gdy do obu wejść doprowadzono sygnał „prawda”. Innymi słowy bramka AND wykonuje funkcję AND w logice dodatniej. Podobnie można określić funkcje bramki OR. Co się dzieje, gdy prawda oznacza stan niski? Na wyjściu bramki AND ustala się stan L, gdy którekolwiek z wejść jest w stanie L – to jest funkcja OR! Podobnie, na wyjściu bramki OR ustala się stan L tylko wtedy, gdy oba wejścia są w stanie L – to jest funkcja AND! Można się w tym pogubić. Istnieją dwa sposoby uporania się z tym problemem. Pierwsza metoda polega na wybieraniu bramek, które dawałyby żądany efekt na wyjściu. Jeśli np. chcemy dowiedzieć się, czy którykolwiek z trzech sygnałów wejściowych jest w stanie niskim, użyjemy 3-wejściowej bramki NAND (metoda ta czasem nie sprawdza się).



Rys. 1.2 Trójwejściowa bramka NAND

Drugą metodą uporania się z problemem sygnałów aktywnych w stanie niskim jest posługiwanie się symbolem negacji stanu. Jeżeli bramka wykonuje funkcję OR w logice ujemnej, to rysujemy ją tak jak na rys.1.3. Kółeczko narysowane na wejściu lub wyjściu oznacza negację lub innymi słowy aktywność stanem niski



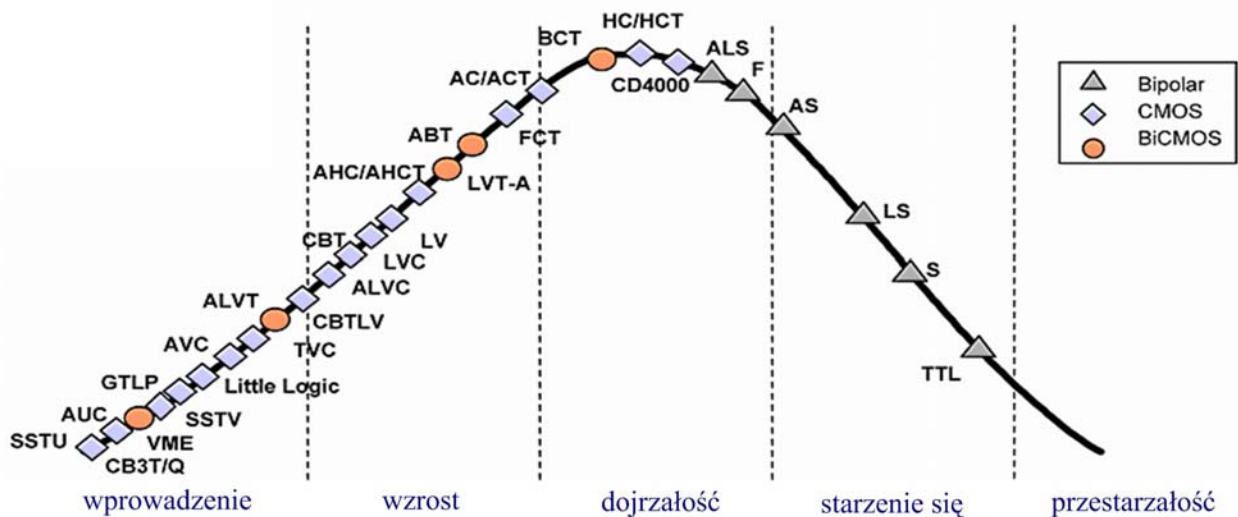
Rys. 1.3 Trójwejściowa bramka OR w logice ujemnej

## 2. PODSTAWOWE OKREŚLENIA I KLASYFIKACJE CYFROWYCH UKŁADÓW SCALONYCH.

Układ scalony (Integrated Circuit - IC) stanowi fizycznie wykonany mikrominiaturowy układ elektroniczny, którego część lub wszystkie elementy zostały wykonane we wspólnym procesie technologicznym, wewnątrz lub na powierzchni wspólnego podłoża. Niżej wymienionych jest siedem klas cyfrowych układów scalonych:

- TTL (Transistor – Transistor - Logic) – układy TTL,
- ECL (Emitter – Coupled Logic) – układy o sprzężeniu emiterowym,
- MOS (Metal – Oxide - Semiconductor) – układy MOS,
- CMOS (Complementary MOS) – układy komplementarne MOS,
- BiCMOS (Bipolar CMOS) – układy „mieszane”, bipolarne CMOS,
- I<sup>2</sup>L (Integrated Injection Logic) – układy iniekcyjne,
- CTD (Charge Transfer Device) – układy o sprzężeniu ładunkowym,
- GaAs MESFET – układy GaAs.

W miarę upływu czasu pewne technologie stają się przestarzałe i dlatego starzeją się technologicznie również układy scalone. Na rys. 5 przedstawiono typowy przebieg „czasu życia” różnych technologii cyfrowych układów scalonych. Jak widać najświeższe serie TTL to: serie ALS, F i AS, natomiast serie LS, S i w szczególności standardowa (TTL) stają się już przestarzałe. Układy TTL generalnie ustępują miejsca nowszym technologiom CMOS i BiCMOS, zwłaszcza niskonapięciowym (LV – Low Voltage)



Rys. 2.1 Czas życia cyfrowych układów scalonych o różnych technologiach (T.I. 2003)

Cyfrowe układy scalone są wytwarzane w dwu zasadniczych odmianach aplikacyjnych, a mianowicie jako układy uniwersalne i układy specjalizowane (ASIC – Application Specific Integrated Circuits). Pierwsze z nich są produkowane we wszystkich stopniach scalenia do uniwersalnych zastosowań. Układy grupy ASIC są natomiast wyłącznie układami LSI (Large Scale Integration) i VLSI (Very LSI), które są projektowane i wytwarzane do ściśle określonych zastosowań. Umożliwiają one zmniejszenie rozmiarów, mocy strat i kosztu projektowanych urządzeń.

### 3. ZASADNICZE PARAMETRY CYFROWYCH UKŁADÓW SCALONYCH

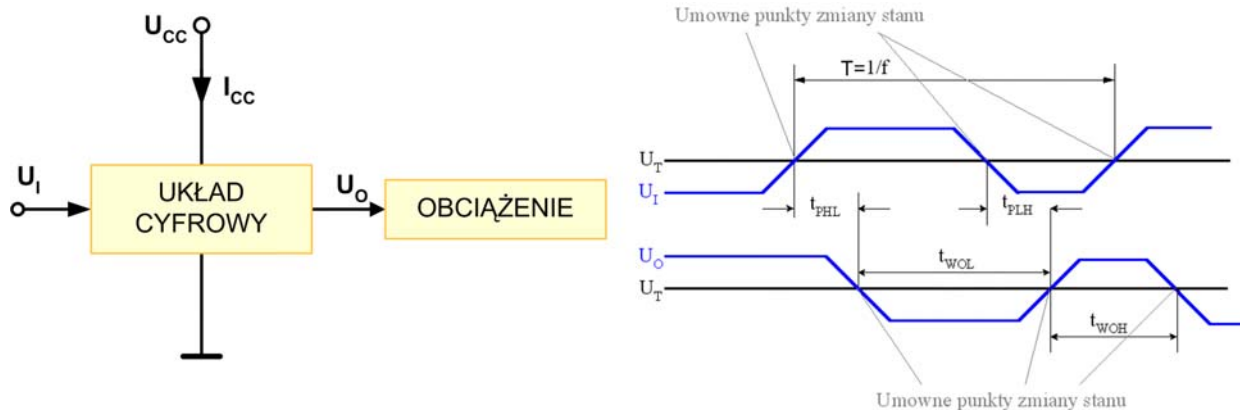
Z punktu widzenia projektanta, wykorzystującego cyfrowe układy scalone, istotne są następujące parametry:

- \* szybkość działania,
- \* moc strat,
- \* odporność na zakłócenia,
- \* zgodność łączeniowa i obciążalność.

#### 3.1. SZYBKOŚĆ DZIAŁANIA

Podstawową miarą szybkości działania układu cyfrowego jest czas propagacji  $t_p$ , natomiast w układach sekwencyjnych, częstotliwość impulsów sterujących.

*Czas propagacji*, określany również jako czas opóźnienia, definiuje się jako odstęp czasowy między zboczem impulsu wejściowego i wywołanym przezeń zboczem impulsu wyjściowego, przy umownie określonym poziomie napięcia na tych zboczach<sup>2</sup>. Istnieją dwa zasadnicze czasy propagacji: przy przejściu napięcia wyjściowego  $U_o$  układu z poziomu niskiego do wysokiego ( $t_{pLH}$ ), i odwrotnie, przy przejściu z poziomu wysokiego do niskiego ( $t_{pLH}$ ). Wartość  $t_p$  określa się w związku z tym jako większy z tych dwóch czasów lub jako ich średnią arytmetyczną.



**Rys. 3.1** Układ cyfrowy reprezentowany przez czarną skrzynkę oraz związane z nim przebiegi czasowe.  $U_{CC}$ –napięcie zasilania,  $I_{CC}$ –prąd zasilania,  $U_I$  ( $U_o$ )– napięcie wejściowe (wyjściowe),  $U_T$ –umowny poziom napięcia odpowiadający zmianie stanu logicznego

Wartości czasów propagacji obowiązują tylko w odniesieniu do ściśle określonych warunków pomiarowych, tj. przy w pełni zdefiniowanych parametrach impulsu wejściowego, określonym napięciu zasilającym, sprecyzowanym obciążeniu i temperaturze. Pojemności pasozytnicze oczywiście wydłużają czasy propagacji i ze względu na specyfikę mają większe znaczenie dla układów unipolarnych.

Z punktu widzenia szybkości działania najszybszymi układami są układy ECL, których czasy propagacji są rzędu od kilkudziesięciu do kilkuset pF (od 0.5 ... 5GHz). Układy unipolarne są wolniejsze (do 500 MHz), z wyjątkiem układów GaAs, których częstotliwości graniczne dochodzą do kilkunastu GHz).

<sup>2</sup> W literaturze poziom ten określa się jako poziom przy którym następuje przełączenie bramki (np. dla układów TTL jest to 1.3V) lub poziom odpowiadający połowie amplitudy napięcia przełączania



### 3.2. MOC STRAT

Moc strat  $P$  układu określa się jako  $P=U_{CC}I_{CC}$ , gdzie  $U_{CC}$  jest napięciem zasilającym i  $I_{CC}$  jest prądem pobieranym ze źródła zasilania. Moc strat można określić dla dwóch stanów logicznych na wyjściu, można określić moc  $P_L=U_{CC}I_{CCL}$  (przy poziomie niskim na wyjściu) i  $P_H=U_{CC}I_{CCH}$  (przy poziomie wysokim na wyjściu).

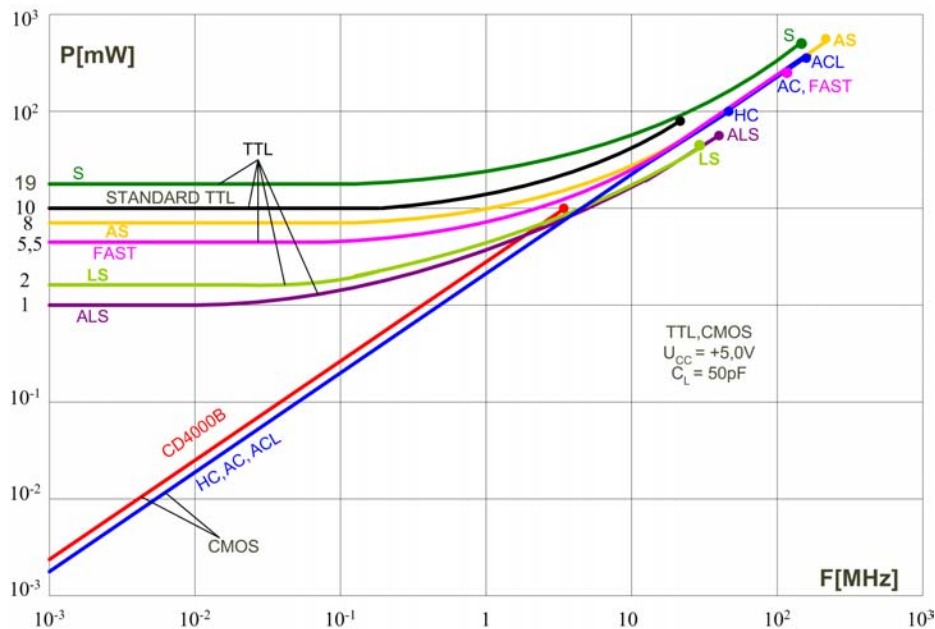
Moc średnią przy danym okresie przełączeń  $T = t_{wOL} + t_{wOH}$  (patrz rys. 3.1) można w przybliżeniu określić jako:

$$P = \frac{P_L t_{wOL} + P_H t_{wOH}}{T}$$

Jeśli okres  $T$  jest wystarczająco długi, by można pominąć wpływ skończonych czasów narastaniu i opadania zboczy. Wartość mocy strat zależy od obciążenia. Przy obciążeniu pojemnościowym prąd ładowania pojemności powoduje znaczny wzrost mocy przy wzroście częstotliwości. Czasami do zgrabnej oceny układów cyfrowych stosowany jest współczynnik dobroci  $D$ , zdefiniowany jako iloczyn czasu propagacji i mocy strat

$$D = t_p \cdot P$$

Typowe zależności średniej mocy strat  $P$  pojedynczej bramki od częstotliwości przełączania  $f$  dla różnych serii układów scalonych przedstawiono na rys. 3.2. Dodatkowo uwzględniono obciążenie pojemnościowe, na które składają się pasożytnicze pojemności sterowanych układów oraz ścieżek łączących.



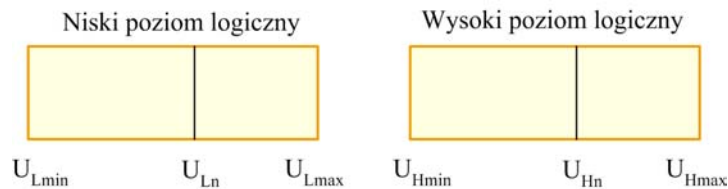
Rys. 3.2 Zależności średniej mocy strat  $P$  pojedynczej bramki od częstotliwości

### 3.3. ODPORNOŚĆ NA ZAKŁÓCENIA

Istotnym parametrem układu scalonego jest jego odporność na zakłócenia, określona dla każdego stanu logicznego na wejściu. Wartość odporności na zakłócenia w określonym stanie na wejściu to maksymalna amplituda sygnału, która oddziałując na to wejście nie spowoduje niepożądanego zmiany stanu wyjściowego. Ze względu na czas trwania impulsów zakłócających, zakłócenia dzielimy na *statyczne* i *dynamiczne*. Zakłócenia dynamiczne to te, dla których czas trwania impulsu

sów jest mniejszy od czasu propagacji sygnału w bramce, natomiast jako zakłócenia statyczne przyjmuje się takie impulsy, które trwają dłużej niż czas propagacji. Stosownie do tego podziału rozróżnia się odporność układu scalonego na działanie zakłóceń statycznych oraz odporność układu na działanie zakłóceń dynamicznych. Miarą odporności układu scalonego na działanie zakłóceń jest margines zakłóceń statycznych i margines zakłóceń dynamicznych.

Podstawowymi parametrami napięciowymi układu cyfrowego są wartości napięć  $U_L$  i  $U_H$  reprezentujące poziomy logiczne: niski i wysoki. Ze względu na nieuniknione rozrzuty produkcyjne oraz ze względu na możliwości pracy układu w różnych warunkach określa się przedziały, w których mogą się znajdować wartości napięć reprezentujące poziomy logiczne (rys. 3.3), aby układ mógł pracować w dopuszczalnych dla niego warunkach (określanych przez dopuszczalne przedziały wartości napięć zasilających, dopuszczalne zakresy temperatur pracy układu, dozwolone obciążenia itd).



**Rys. 3.3** Przedziały, w których znajdują się wartości napięć reprezentujących niski i wysoki poziom logiczny

W każdym z przedziałów często wyróżnia się jedną z wartości napięć określoną jako wartość nominalną lub typową (odpowiednio  $U_{Ln}$  oraz  $U_{Hn}$ ). Wartości  $U_{Lmin}$  oraz  $U_{Hmax}$  są określane albo za pomocą granicznych wartości napięć zasilających występujących w układzie, albo wynikają z pewnych ograniczeń układowych (dotyczy to szczególnie układów ECL). Wartości  $U_{Lmax}$  oraz  $U_{Hmin}$  są ustalane przez producenta na podstawie analizy warunków współpracy układów wchodzących w skład danej serii, dopuszczalnych warunków pracy i stosowanego procesu technologicznego. Najczęściej określa się odpowiednie wartości niezależnie dla wejść i wyjść układu. Wartości  $U_{OLmax}$  oraz  $U_{OHmin}$  odnoszą się do wyjścia układu i oznaczają odpowiednio: największą wartość napięcia reprezentującego niski poziom logiczny, jaka może się pojawić na wyjściu układu pracującego w dopuszczalnych warunkach, oraz najmniejszą wartość napięcia reprezentującego wysoki poziom logiczny, jaka może się pojawić na wyjściu układu pracującego w dopuszczalnych warunkach. Wartość  $U_{ILmax}$  oznacza największą wartość napięcia reprezentującego niski poziom logiczny, jaka może pojawić się na wejściu układu, przy której napięcie na wyjściu spełnia warunki:

- \*  $U_{OH} > U_{OHmin}$  dla układu negującego,
- \*  $U_{OL} < U_{OLmax}$  dla układu wtórnikowego.

Wartość  $U_{IHmin}$  oznacza najmniejszą wartość napięcia wejściowego, przy której napięcie na wyjściu spełnia warunki:

- \*  $U_{OL} < U_{OLmax}$  dla układu negującego,
- \*  $U_{OH} > U_{OHmin}$  dla układu wtórnikowego.

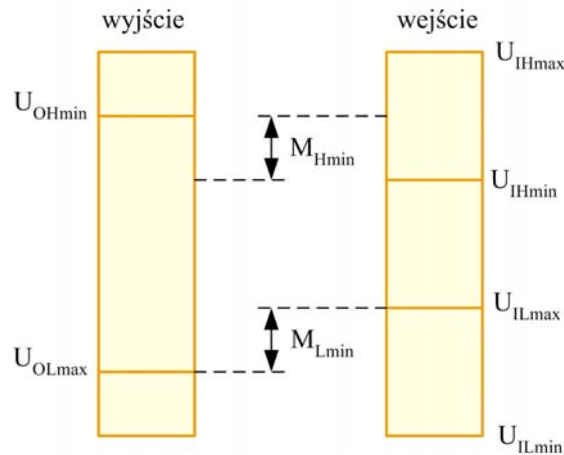
Z reguły spełnione są relacje  $U_{ILmax} > U_{OLmax}$  oraz  $U_{IHmin} < U_{OHmin}$ .

Wartość marginesu zakłóceń statycznych w określonym stanie na wejściu elementu logicznego jest to maksymalna amplituda sygnału, która oddziałując na to wejście nie spowoduje niepożądanego zmiany stanu wyjściowego. Różnice:

- \*  $M_{Lmin} = |U_{ILmax} - U_{OLmax}|$ ,
- \*  $M_{Hmin} = |U_{IHmin} - U_{OHmin}|$

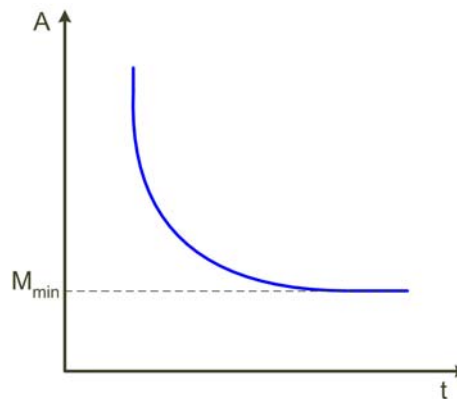
nazywane są marginesami zakłóceń statycznych w najgorszym przypadku, odpowiednio dla poziomu niskiego ( $M_{Lmin}$ ) oraz wysokiego ( $M_{Hmin}$ ) (rys. 3.4). Marginesy te określane są dla najmniej korzystnych warunków pracy układu. Inaczej mówiąc, odporność na zakłócenia stałoprądowe w naj-

gorszym przypadku określa największą amplitudę sygnału zakłócającego (bez ograniczenia czasu jego trwania), który dodany do wartości  $U_{OLmax}$  (odjęty od wartości  $U_{OHmin}$ ) nie spowoduje zmiany wartości sygnału wyjściowego poza dopuszczalną granicę, tzn. na przykład dla układu negującego poniżej  $U_{OHmin}$  (powyżej  $U_{OLmax}$ ).



**Rys. 3.4** Porównanie dopuszczalnych przedziałów wartości napięć reprezentujących poziom niski i wysoki dla wejścia i wyjścia układu wraz z definicją marginesów zakłóceń statycznych dla stanu niskiego ( $M_{Lmin}$ ) i wysokiego ( $M_{Hmin}$ ).

Powyższe definicje stałoprądowych odporności na zakłócenia są zbyt pesymistyczne wówczas, gdy czas trwania impulsu zakłócającego jest porównywalny z czasem propagacji. Dlatego też oprócz odporności na zakłócenia stałoprądowe definiuje się również odporności na zakłócenia zmiennoprądowe (margines zakłóceń dynamicznych). Przez to pojęcie rozumie się maksymalną amplitudę  $A$  impulsu zakłócającego o danym czasie trwania  $t$ , który dodany do napięcia wyjściowego  $U_{OLmax}$  (albo odjęty od napięcia  $U_{OHmin}$ ) bramki sterującej nie spowoduje przekroczenia dopuszczalnych wartości wyjściowych poziomów logicznych  $U_{OHmin}$  (albo  $U_{OLmax}$ ) bramki sterowanej (rys. 3.5).



**Rys. 3.5** Zależność amplitudy impulsu zakłócającego od czasu trwania impulsu (tzw. margines zakłóceń dynamicznych)

Im dłuższe są czasy trwania impulsów zakłócających, tym mniejsza jest dopuszczalna amplituda impulsu. Przy dostatecznie długim czasie trwania impulsu zakłócającego odporność na zakłócenia zmiennoprądowe staje się równa odporności na zakłócenia stałoprądowe w najgorszym przypadku.

### 3.4. ZGODNOŚĆ ŁĄCZENIOWA I OBCIĄŻALNOŚĆ

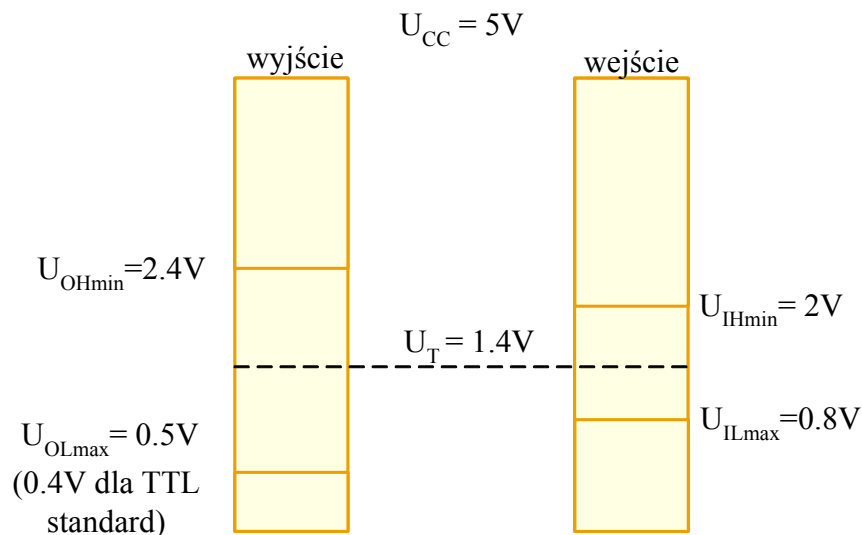
System cyfrowy składa się z odpowiedniej liczby połączonych ze sobą układów scalonych. Często ze względów technicznych i ekonomicznych trzeba łączyć ze sobą układy scalone różnych serii i klas. Stąd zdolność bezpośredniej współpracy różnych rodzajów układów stanowi ich istotny parametr techniczny.

Cyfrowe układy scalone są projektowane głównie do współpracy z układami tej samej rodziny. Do ilościowego określenia możliwości takiej współpracy potrzebne jest zdefiniowanie pojęcia maksymalnej obciążalności  $N_{max}$ . Jest to miara ilości wejść układów tej samej serii, które mogą być jednocześnie przyłączone do jednego wyjścia. W układach scalonych TTL jest ona standardowo równa 10, co wynika z ograniczeń wywołanych obciążeniem statycznym. W układach CMOS obciążalność statyczna jest znacznie większa, lecz praktycznie liczba  $N_{max}$  zależy od wartości pojemności obciążenia, która ogranicza szybkość przełączania. Przy łączeniu układów scalonych z różnych klas często występuje konieczność stosowania odpowiednich układów pośrednich lub dodatkowych elementów, umożliwiających łączenie układów o różnym trybie pracy i różnych napięciach wejściowych i wyjściowych (zarówno w niskim jak i wysokim stanie logicznym). W rozdziale 6 omówiono szczegółowo sposoby połączenia układów z rodzin TTL i CMOS.

#### 4. UKŁADY CYFROWE RODZINY TTL

Układy TTL (Transistor – Transistor - Logic) są najpopularniejszymi układami cyfrowymi, stosowanymi w praktyce od 1965 roku, kiedy to zostały wprowadzone na rynek światowy przez firmę *Texas Instruments*. Asortyment typów układów jest ogromny, a ponadto są one dostępne w różnych obudowach i w kilku seriach, różniących się szybkością działania, mocą strat i kosztem. Najbardziej dojrzałe i perspektywiczne serie TTL to serie ALS, F, AS, natomiast serie LS, S i w szczególności standardowa (TTL) stają się już przestarzałe i nie są zalecane do nowych projektów (rys. 2.1).

Układy z rodzin 74... przeznaczone są do pracy w zakresie temperatur od 0°C do 70°C przy zasilaniu  $5V \pm 5\%$ , natomiast identyczne układy pod względem funkcjonalności rodziny 54 pracują w zakresie od -55°C do 125°C przy zasilaniu  $5V \pm 10\%$ .



Rys. 4.1 Wartości gwarantowane poziomów napięć logicznych na wejściu i wyjściu układów TTL,  $U_T$  – próg przełączania bramki

Wszystkie serie układów TTL są zasilane z jednego źródła napięcia o wartości 5V, dopuszczalne zmiany zasilania nie powinny być większe niż  $\pm 5\%$ . Istotną zaletą układów TTL jest fakt istnienia identycznych układów realizowanych w różnych seriach przy zachowaniu identycznych wyprowadzeń. Dla całej rodziny TTL (z tranzystorami Schottky'ego) zdefiniowano wspólne gwarantowane zakresy napięć na wejściu i wyjściu układu, które przedstawiono na rys. 4.1. Dla bramek serii TTL – standard wartość napięcia  $U_{OLmax}$  wynosi  $0,4V$  ze względu na nasycenie tranzystora w stopniu wyjściowym. W tab. 3.1 zestawiono zasadnicze parametry serii układów TTL. W opisie układów przyjęto konwencję dodatnią (0 logiczne to poziom niski - L, natomiast 1 logiczne to wysoki poziom - H). Dodatkowo przyjęto, że prąd wpływający do wejścia lub wyjścia ma znak dodatni natomiast wpływający ma znak ujemny.

Seria	Technologia izolacji złączowej z domieszkowaniem złotem		Technologia izolacji złączowej z diodami Schottky'ego		Technologia izolacji tlenkowej z diodami Schottky'ego	
	Standardowa	S Schottky'ego	LS Schottky'ego małej mocy	F FAST <sup>3</sup>	ALS ulepszona LS	AS ulepszona S
Czas propagacji $T_{p_{typ}}$ [ns] przy N=10	10	3	9	3,5	4	1,7
Moc strat na bramkę $P_{typ}$ [mW]	10	19	2	5,5	1.2	8
Współczynnik dobroci $D_{typ} = t_{p_{typ}} \cdot P_{typ}$ [pJ]	100	57	18	19,2	4.8	13,6
Maksymalna częstotliwość pracy ( $f_{max}$ ) <sub>typ</sub> (MHz)	25	125	33	150	70	200
Prąd wyjściowy $I_{OHmax}$ [mA]	-0,4	-1	-0,4	-1	-0,4	-2
Prąd wyjściowy $I_{OLmax}$ [mA]	16	20	8	20	8	20
Prąd wejściowy $I_{ILmax}$ [mA]	-1,6	-2	-0,4	-0,6	-0,2	-0,5
Obciążalność $N_{max}$	10	10	20	33	40	48

Tab. 3.1 Zasadnicze parametry układów rodziny TTL

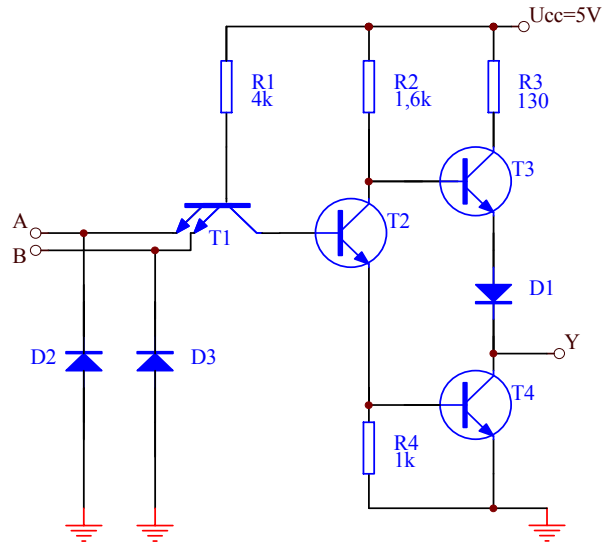
#### 4.1. PODSTAWOWA BRAMKA TTL

Na rys. 4.2 przedstawiono schemat ideowy podstawowej bramki NAND serii TTL. Wszystkie tranzystory układu, z wyjątkiem T3, znajdują się w stanie nasycenia lub odcięcia, zależnie od poziomów logicznych na wejściach (dla stanu statycznego). Tranzystor T2 działa jako wtórnik emiterowy (stan wysoki na wyjściu) lub inwerter (stan niski).

Dioda D1 zapewnia odcięcie tranzystora T3, gdy tranzystory T2 i T4 są w stanie nasycenia. Tranzystory T3 i T4 tworzą układ wyjściowy (ang. – totem pole), zapewniający małą impedancję wyjściową zarówno przy poziomie L, jak i H na wyjściu. Rezystor R3 ogranicza prąd wyjściowy w przypadku zbyt dużego obciążenia na poziomie H (np. przy zwarceniu do masy) oraz w procesie przełączania.

Diody ograniczające D2 i D3 ułatwiają realizację dłuższych połączeń między układami, tłumiąc oscylacje powstające w procesie przełączania bramki i zapobiegając powstawaniu ujemnego napięcia większego niż  $\sim 0,7V$ .

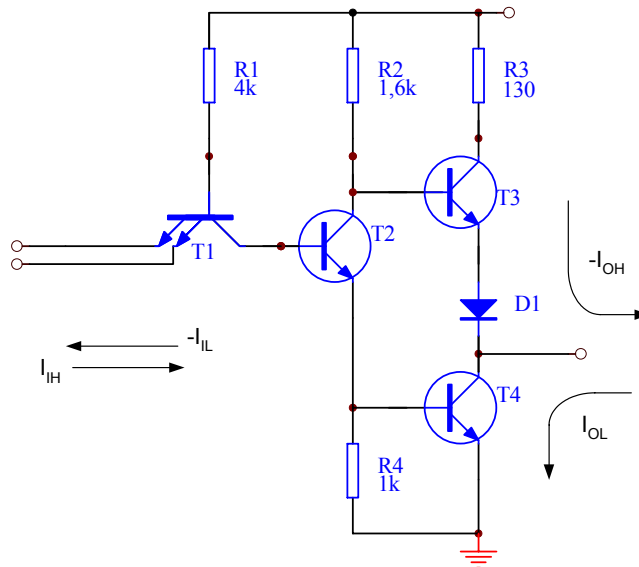
<sup>3</sup> FAST – ang. Faifchild Advanced Schottky



Rys. 4.2 Schemat ideowy bramki NAND z serii standardowej TTL

#### 4.1.1. Stany statyczne bramki

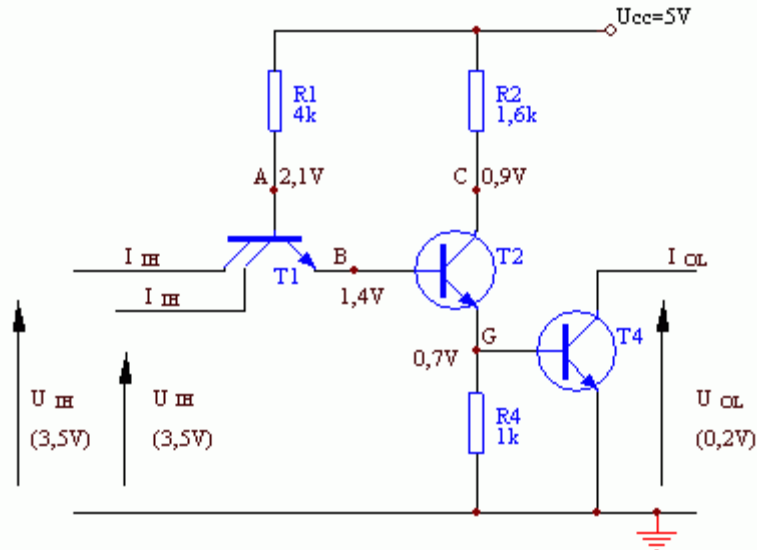
Napięcia w punktach A, B, C, F,G schematu są określone odpowiednio jako  $U_A$ ,  $U_B$  itd. Za napięcia na wejściach bramki przyjęto napięcia wyjściowe innych bramek z tej samej serii.



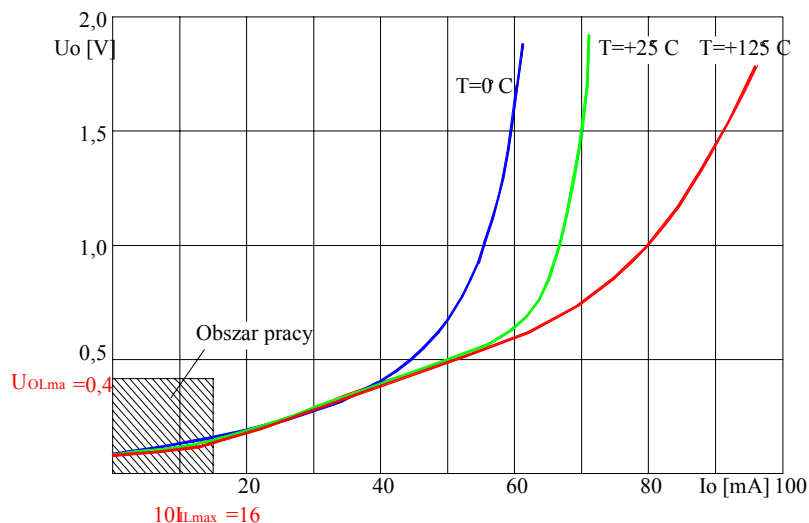
Rys. 4.3 .Schemat podstawowej bramki NAND z zaznaczonymi kierunkami prądów wejściowych i wyjściowych.

#### 4.1.1.1. Stan włączenia (niski stan na wyjściu bramki)

W stanie włączenia na obydwu wejściach bramki jest poziom H (wartość typowa  $U_{IH}=3,5V$ ), co powoduje, że na wyjściu bramki jest poziom L. Tranzystory T2 i T4 są w stanie nasycenia, T3 jest odcięty, a T1 pracuje w trybie inwersyjnym (rys. 4.4). W trybie inwersyjnym do każdego z wejść tranzystora T1 wpływa prąd, którego maksymalna wartość określona przez wytwórców (dla najgorszych warunków pracy) nie może przekroczyć  $40\mu A$ . Typowa wartość napięcia na wyjściu w stanie L wynosi  $U_{OLtyp}=0,2V$  i jest napięciem nasycenia  $U_{CEsat}$  tranzystora T4. W stanie włączenia zarówno prąd wejściowy  $I_{IH}$ , jak i wyjściowy (obciążenia)  $I_{OL}$  w istocie *wpływają* do bramki. Wyjście bramki stanowi „zlew”, do którego wpływają prądy obciążenia, dostarczane przez przyłączone do tego wyjścia inne bramki.



Rys. 4.4. Schematy zastępcze bramki NAND w stanie włączenia



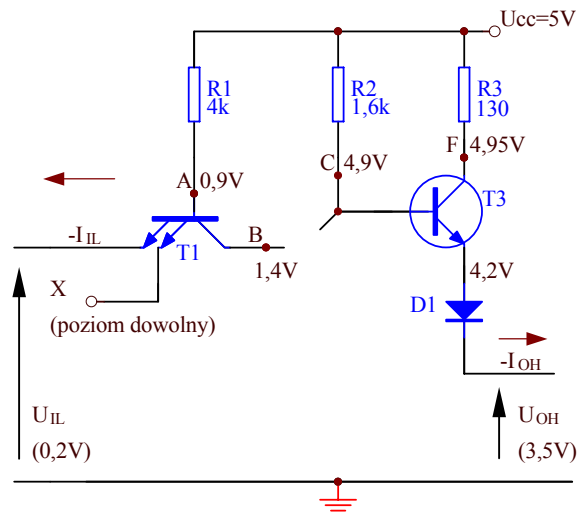
Rys. 4.5 Charakterystyki wyjściowe podstawowej bramki TTL w stanie włączenia dla  $U_{CC}=5V$ ,  $U_{IH}=2,4V$

Z rys. 4.5 wynika iż maksymalny prąd, który może wpływać do wyjścia bramki wynosi 16mA. Jest on wystarczający do przyłączenia dziesięciu bramek TTL z serii standardowej. Wyjście bramki mo-



że zapewnić poziom L również dla większych prądów obciążenia, lecz wówczas napięcie wyjściowe  $U_{OL}$  wzrasta.

#### 4.1.1.2. Stan wyłączenia (stan wysoki na wyjściu)



Rys. 4.6. Schematy zastępcze bramki NAND w stanie wyłączenia

Gdy choćby na jednym z wejść bramki jest poziom L, wówczas bramka jest wyłączona i na jej wyjściu jest poziom H. Tranzystor T1 znajduje się w nasyceniu, tranzystory T2 i T4 nie przewodzą, a T3 pracuje liniowo jako wtórnik emiterowy. Jak widać na rys.4.6, w stanie wyłączenia zarówno prąd wejściowy  $I_{IL}$ , jak i wyjściowy (obciążenia)  $I_{OH}$  wypływają z bramki.

Napięcie na wyjściu bramki może być określone jako:

$$U_{OH} = U_{CC} - U_{BE3} - U_{D1} - \frac{I_{OH} R_2}{\beta_3},$$

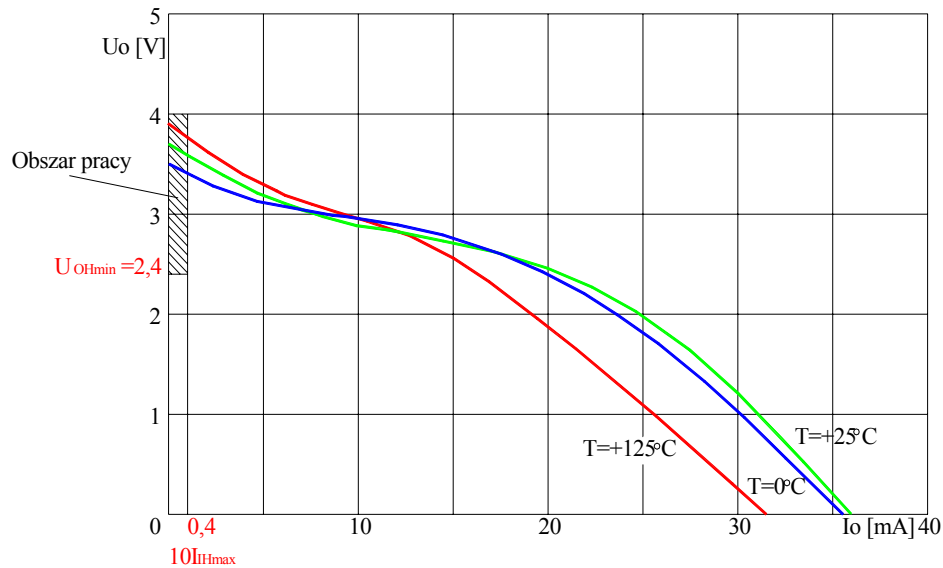
gdzie:

$U_{BE3}$  – napięcie baza – emiter tranzystora T3,

$U_{D1}$  – napięcie przewodzenia diody D1,

$\beta_3$  – współczynnik wzmocnienia prądowego tranzystora T3.

Po podstawieniu otrzymujemy typową wartość napięcia na wyjściu:  $U_{OHtyp} = 5 - 0,7 - 0,7 - 0,1 = 3,5V$ . Przy założeniu, że wyjście analizowanej bramki jest przyłączone do dziesięciu wejść innych bramek z tej samej serii, maksymalny prąd obciążenia wynosi  $I_{OHmax} = -0,4mA$ . Bramka może być bardziej obciążona, ale wówczas napięcie wyjściowe  $U_{OH}$  staje się odpowiednio mniejsze (rys. 4.7). Aby utrzymać bramkę w stanie wyłączenia, największe napięcie wejściowe w stanie niskim L musi być wystarczająco małe, aby zapewnić gwarantowany poziom wysoki H na wyjściu. Przyjmuje się  $U_{ILmax} = 0,8V$ . Przy zwarceniu wejść bramki całkowity prąd wejściowy pozostaje praktycznie taki sam, nie zależnie od liczby wejść bramki na których jest poziom logiczny niski.



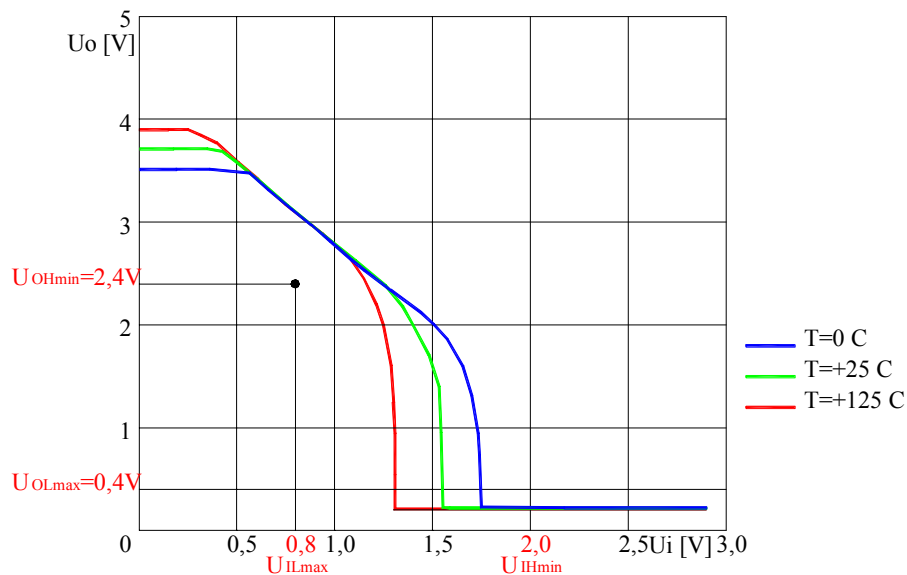
Rys. 4.7. Charakterystyki wyjściowe podstawowej ramki TTL w stanie wyłączenia, dla  $U_{cc}=5V$ ,  $U_{IL}=0,4V$

#### 4.1.2. Przelączanie bramki

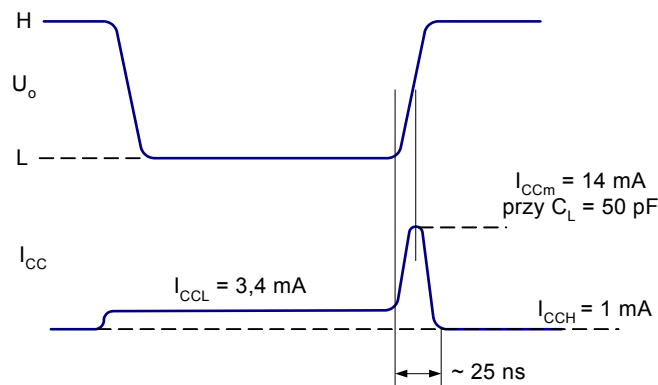
Załómy, że początkowo na jednym wejściu jest poziom niski L, natomiast na drugim wysoki H (bramka jest w stanie wyłączenia - rys. 4.6). Rozpatrzmy przypadek powolnego wzrostu napięcia wejściowego (w celu zaniebdania efektów przejściowych tzn. opóźnień wnoszonych przez poszczególne elementy układu). Na rys. 4.8 przedstawiono zależność napięcia wyjściowego od wejściowego bramki czyli tzw. charakterystykę przejściową. Początkowy wzrost napięcia wejściowego powoduje jedynie wzrost napięć na bazach tranzystorów  $T_1$  i  $T_2$ . Dopóki napięcia na bazie  $T_2$  nie przekroczy napięcia  $0.7V$  (dla temperatury  $25^{\circ}C$ ) tranzystor ten nie przewodzi i napięcie wyjściowe się nie zmienia. Dalszy wzrost napięcia wejściowego powoduje wprowadzenie tranzystora  $T_2$  w stan aktywny i liniowy spadek napięcia na wyjściu bramki (napięcie z kolektora  $T_2$  przenosi się na wyjście poprzez przewodzący  $T_3$  i diodę  $D_1$ ). Jednocześnie rośnie napięcie na rezystorze  $R_2$  i gdy osiągnie ono wartość  $0.7V$  zaczyna przewodzić tranzystor  $T_4$  (równolegle do rezystora  $R_4$  włączony zostaje przewodzące złącze baza-emiter  $T_4$ ) co powoduje zmniejszenie rezystancji obwodu emiterowego tranzystora  $T_2$ , wzrost prądu płynącego przez ten tranzystor i szybki spadek napięcia na jego kolektorze. Jednocześnie do bazy tranzystora  $T_4$  zaczyna wpływać coraz to większy prąd. Tranzystor ten jest szybko wprowadzany w stan nasycenia i napięcie wyjściowe bramki maleje do wartości  $U_{OL}=0.2V$ , odpowiadającej niskiemu poziomowi napięcia. Jednocześnie tranzystor  $T_3$  zostaje odcięty i w rezultacie układ znajduje się w stanie stabilnym. Wartość napięcia wejściowego  $U_I$ , przy którym napięcie to staje się równe napięciu wyjściowemu  $U_O$ , stanowi umowny próg zmiany stanu logicznego układu i nazywa się *napięciem progowym*  $U_T$  bramki. Typowa wartość napięcia progowego  $U_T$  bramek TTL z serii standardowej wynosi ok.  $1,4V$  przy  $25^{\circ}C$ , ale do celów testowych przyjmuje się wartość umownie równą  $1,5V$ .

Proces wyłączania przebiega odwrotnie do procesu włączania. Początkowo na obydwóch wejściach jest poziom H, czyli typowe napięcia wejściowe są równe  $U_I = U_{IH} = 3,5V$ . Przy zmniejszaniu się napięcia wejściowego układ bramki nie reaguje na zmianę  $U_I$ , dopóki napięcie wejściowe nie zbliży się do wartości ok.  $1,5V$ . Wówczas tranzystor  $T_1$  zmienia polaryzację i wchodzi w nasycenie powodując przy dalszym zmniejszaniu napięcia wejściowego odcięcie tranzystorów  $T_2$  i  $T_4$ . Tranzystor  $T_2$  szybciej wychodzi z nasycenia niż  $T_4$ , gdyż tranzystor  $T_1$  zapewnia niskooporowe połączenie bazy  $T_2$  z masą, a ponadto tranzystor  $T_4$  przewodzi w stanie włączenia większy prąd ob-

ciążenia i jest silniej przesterowany prądem bazy. Napięcie w punkcie C zwiększa się, podczas gdy napięcie wyjściowe  $U_O$  pozostaje stałe (jak długo tranzystor  $T_4$  pozostaje w stanie nasycenia). Tranzystor  $T_3$  zaczyna przewodzić, gdy różnica napięć między jego bazą, a wyjściem bramki przekroczy 1,4V. Prąd kolektora  $T_4$  wtedy zwiększa się, przyspieszając wyjście tranzystora  $T_4$  z nasycenia. Przy wystarczająco dużej wartości ładunku zmagazynowanego w tranzystorze  $T_4$  jest możliwe również przejściowe nasycenie  $T_3$ , gdy napięcie  $U_F$  spada poniżej  $U_C$ . Powoduje to przejściowe zwiększenie prądu zasilania  $I_{CC}$  pobieranego przez bramkę, który jest wówczas ograniczony przede wszystkim przez rezystor  $R_3$  (rys. 4.9). Amplituda  $I_{CCm}$  impulsu prądowego może się znacznie zwiększyć przy pojemnościowym obciążeniu bramki. Zjawisko to może być przyczyną zakłóceń w pracy systemu cyfrowego, jeśli wiele takich przełączeń następuje jednocześnie i doprowadzenia zasilania do układów scalonych nie są wystarczająco blokowane pojemnościowo do masy.



Rys. 4.8 Charakterystyka przejściowa podstawowej bramki NAND TTL serii standardowej, zależność charakterystyki przejściowej od temperatury



Rys. 4.9 Zmiany prądu zasilania bramki przy przełączeniu.

Po wyjściu tranzystora  $T_4$  ze stanu nasycenia napięcie wyjściowe  $U_O$  szybko zwiększa się i gdy napięcie wejściowe  $U_I$  staje się mniejsze od ok. 0,7V, napięcie wyjściowe osiąga wartość typową dla poziomu H, równą  $U_{OH} = 3,5V$ . Jeśli proces wyłączenia jest wystarczająco powolny można po-

minąć procesy przejściowe w układzie bramki, to charakterystyka przejściowa  $U_O(U_I)$  jest taka sama, jak przy wystarczająco powolnym procesie włączania.

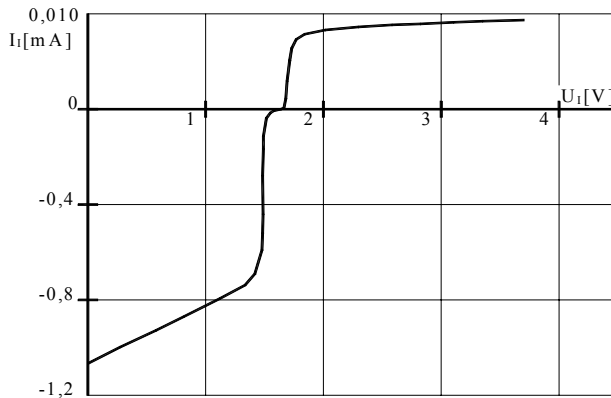
#### 4.1.3. Charakterystyka wejściowa

Charakterystyka wejściowa bramki przedstawia zależności wartości prądu wejściowego  $I_I$  od napięcia wejściowego  $U_I$ . Charakterystykę wejściową dla bramki serii TTL standard przedstawiono na rys. 4.10a, b. Na początkowym odcinku charakterystyki, tj. przy  $0 < U_I < 1,3V$  prąd wejściowy maleje liniowo (jeśli chodzi o wartości bezwzględne), zgodnie z zależnością

$$I_I = (U_{CC} - U_I - U_{BE1}) / R_1.$$

W przedziale  $1.3V < U_I < 1.6V$  tranzystor  $T_1$  zaczyna pracować w trybie inwersyjnym i w konsekwencji dla  $U_I = 1.6V$  następuje zmiana kierunku prądu  $I_I$ . Przy  $U_I > 1,6V$  bramka pozostaje w stanie włączenia i prąd wejściowy  $I_I$  zwiększa się nieznacznie przy zwiększaniu  $U_I$ . Tranzystor  $T_1$  pracuje w trybie inwersyjnym i do wejścia układu wpływa niewielki prąd, którego wartość jest wyznaczona przez wzmocnienie tranzystorowe (inwersyjne)  $\beta_1 = 0,01 \dots 0,02$ . Wartość tego prądu nie powinna przekroczyć  $40\mu A$ .

a)



b)

Rys. 4.10 Typowe charakterystyki wyjściowe bramki TTL, w normalnym (a) i rozszerzonym zakresie pracy(b)

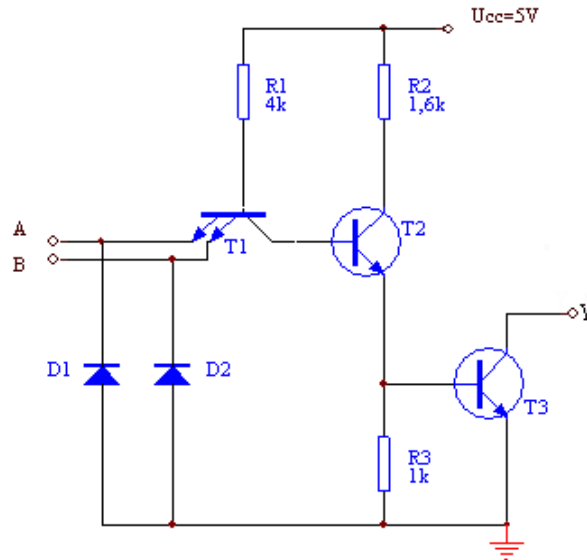
Na rys. 4.10b przedstawiono charakterystykę wejściową bramki w rozszerzonym zakresie napięć. Dla napięć mniejszych od 0 prąd  $I_I$  bramki szybko zwiększa się, po przekroczeniu progu napięcia przewodzenia diody zabezpieczającej. Prąd ten nie powinien przekraczać 20mA dla serii 54/74. W zakresie napięć wejściowych większych od ok. 9V następuje gwałtowne zwiększenie prądu  $I_I$  wskutek przebicia złącza BE tranzystora  $T_1$ .

#### 4.1.4. Inne rodzaje bramek serii TTL

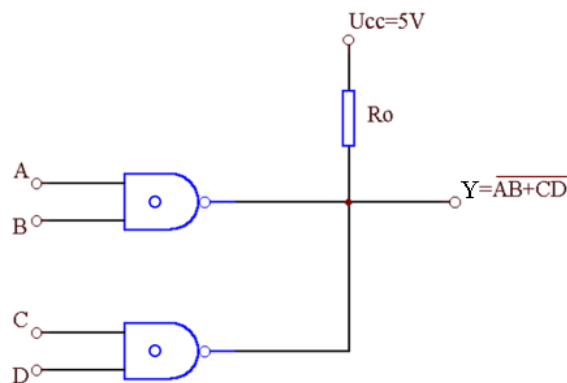
W technice cyfrowej szczególne znaczenie mają połączenia szynowe. Szyna jest to wspólny przewód, do którego jest przyłączonych  $N_0$  wyjść układów i  $N$  wejść układów cyfrowych. Celem takiego połączenia jest selektywne przesyłanie danych z jednego wyjścia (z grupy  $N_0$  wyjść) do odbiornika (lub odbiorników) przyłączonych swymi wejściami do szyny. Nie można łączyć do szyny zwykłych bramek gdyż spowodowałoby to przepływ dużych prądów skrośnych pomiędzy oddzielnie sterowanymi wejściami i ustalenie się na wejściach napięć o nieokreślonych poziomach. Do takich celów stosuje się bramki z wyjściami typu „otwarty kolektor” lub bramki z wyjściami trójstanowymi.

#### 4.1.4.1. Bramka z otwartym kolektorem

Bramka z otwartym kolektorem (typu OC – ang. Open Collector) różni się od typowych bramek tym, że w jej stopniu wyjściowym znajduje się zwykły inwerter, a nie układ przeciwsobny (rys. 4.11). Gdy wyjście Y zostanie dołączone do napięcia  $U_{cc}$  przez rezystor  $R_0$ , wówczas układ realizuje funkcję NAND. Bramka typu OC z dołączonym rezystorem nie różni się funkcjonalnie niczym od bramki standardowej TTL NAND. Jedną z zalet bramek z otwartym kolektorem jest możliwość łączenia ze sobą ich wyjść. Z bramkami standardowymi nie wolno tak postępować. Bramki z otwartym kolektorem oznacza się kółeczkiem umiejscowionym wewnątrz podstawowego symbolu bramki.



Rys. 4.11 Schemat bramki z otwartym kolektorem



Rys. 4.12. Schemat połączenia dwóch bramek OC wyjściami przez rezystor  $R_0$  do napięcia zasilania

Układ pracy dwóch bramek typu OC z połączonymi wyjściami przedstawiono na rys. 4.12. Takie połączenie do wspólnego rezystora obciążenia  $R_0$  realizuje funkcję:

$$Y = \overline{A \cdot B + C \cdot D}.$$

Szybkość przełączania bramki ze stanu H do stanu L ( $t_{pHL}$ ) jest zbliżona do szybkości typowej bramki NAND, natomiast czas propagacji  $t_{pLH}$  (szybkość przełączania ze stanu L na stan H) jest większy, ze względu na ładowanie pojemności obciążającej ( $C_p$ ) wyjście bramki przez rezystor  $R_0$ .

Proces rozładowania jest krótszy ( $t_{pHL}$ ) ze względu na rozładowywanie pojemności  $C_p$  przez małą rezystancję pomiędzy kolektorem a emiterem nasyconego tranzystora  $T_3$ . Wartość rezystancji  $R_0$  jest ograniczona od góry koniecznością spełnienia warunku  $U_{OHmin}=2,4V$  oraz przez maksymalny czas propagacji przy obciążeniu pojemnościowym i dopuszczalną odporność na zakłócenia, a od dołu warunkiem  $U_{OLmax}=0,4V$  oraz dopuszczalną mocą strat. Dla uogólnienia rozważań, mających na celu określenie wartości rezystora  $R_0$  przyjmujemy, że do węzła sieci logicznej z tym rezystorem dołączono  $N$  wejść bramek i  $n$  wyjść bramek (rys. 4.13).

W obu stanach logicznych wartość rezystancji  $R_0$  określa zależność:

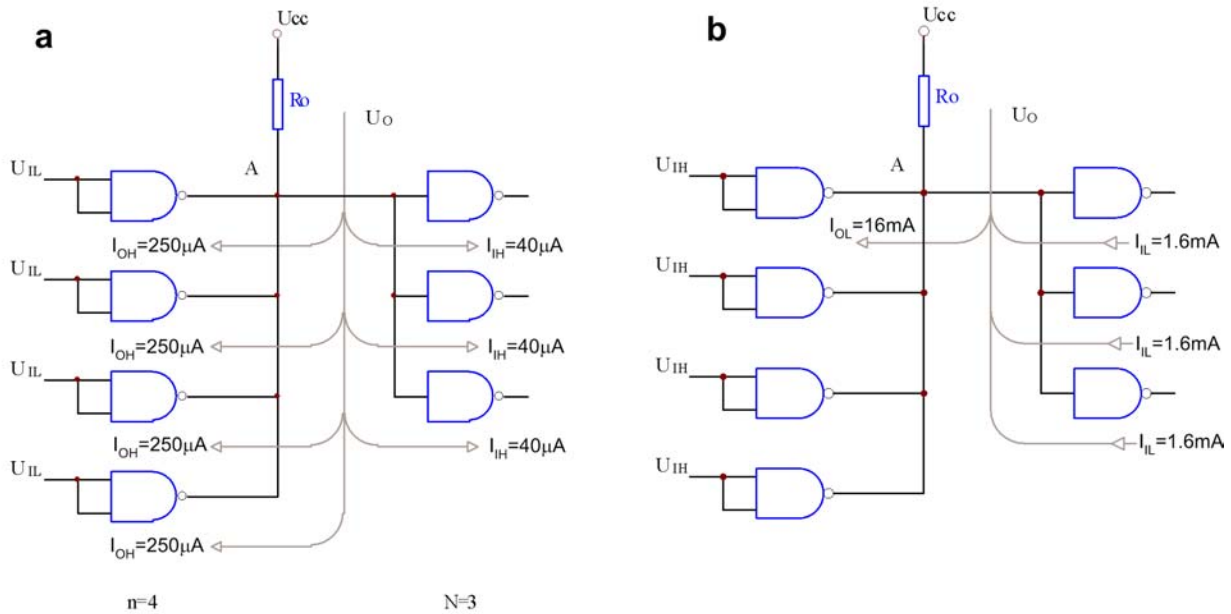
$$R_0 = \frac{U_{R0}}{I_{R0}}$$

gdzie:

$U_{R0}$  – wartość spadku napięcia na rezystorze  $R_0$ ,

$I_{R0}$  – wartość prądu płynącego przez rezystora  $R_0$ .

W stanie wysokim na wyjściu prąd wpływa do bramek sterujących i sterowanych, natomiast w stanie niskim prąd wypływa z bramek sterujących, a wpływa do sterowanych.



Rys. 4.13 Rozpływ prądów w przykładowym fragmencie sieci logicznej bramek z otwartym obwodem kolektora tranzystora wyjściowego dla bramki TTL standard. Stan wysoki na wyjściu(a), stan niski na wyjściu(b).

### Określanie maksymalnej wartości rezystancji wartości rezystancji $R_0$ .

Dla określenia maksymalnej wartości  $R_0$  należy rozważyć rozpływ prądu w stanie wysokim na wyjściu (rys. 4.13a). W tym stanie wartość  $U_{R0}$  jest to różnica między wartością napięcia zasilania  $U_{CC}$  a minimalną wartością napięcia wyjściowego, czyli

$$U_{R0} = U_{CC} - U_{OHmin}$$

natomiast wartość  $I_{RL}$  jest sumą prądów płynących do wejść i wyjść bramek, czyli

$$I_{R0} = nI_{OH} + NI_{IH}$$

Tak więc maksymalna wartość rezystancji  $R_0$  jest określona zależnością

$$R_{Omax} = \frac{U_{CC} - U_{OHmin}}{nI_{OH} + NI_{IH}}$$

Dla przedstawionego fragmentu sieci logicznej maksymalna wartość rezystancji  $R_0$  wynosi:

$$R_{Omax} = \frac{U_{CC} - U_{OHmin}}{nI_{OH} + NI_{IH}} = \frac{5 - 2.4}{4 \cdot 250 \cdot 10^{-6} + 3 \cdot 40 \cdot 10^{-6}} \Omega = 2321 \Omega$$

#### Określenie minimalnej wartości rezystancji $R_0$ .

Dla określenia minimalnej wartości rezystancji  $R_0$ , należy rozważyć rozptyw prądów w stanie niskim na wyjściu (rys. 4.13b). W tym stanie spadek napięcia na rezystancji  $R_0$  wyniesie

$$U_{R0} = U_{CC} - U_{OLmax}$$

W najbardziej niekorzystnym przypadku stan niski na wyjściu będzie wymuszony tylko przez jedną bramkę przewodzącą prąd  $I_{OLmax}$ . W tej sytuacji maksymalna wartość prądu jaka może popłynąć przez  $R_0$  będzie wynosić

$$I_{R0} = I_{OLmax} - NI_{ILmax}$$

Wartość minimalna  $R_0$  wyniesie:

$$R_{Omin} = \frac{U_{CC} - U_{OLmax}}{I_{OLmax} - NI_{ILmax}}$$

Dla analizowanego obwodu minimalna wartość  $R_0$  wyniesie

$$R_{Omin} = \frac{U_{CC} - U_{OLmax}}{I_{OLmax} + N \cdot I_{IL}} = \frac{5 - 0.4}{0.016 - 3 \cdot 0.0016} \Omega = 411 \Omega$$

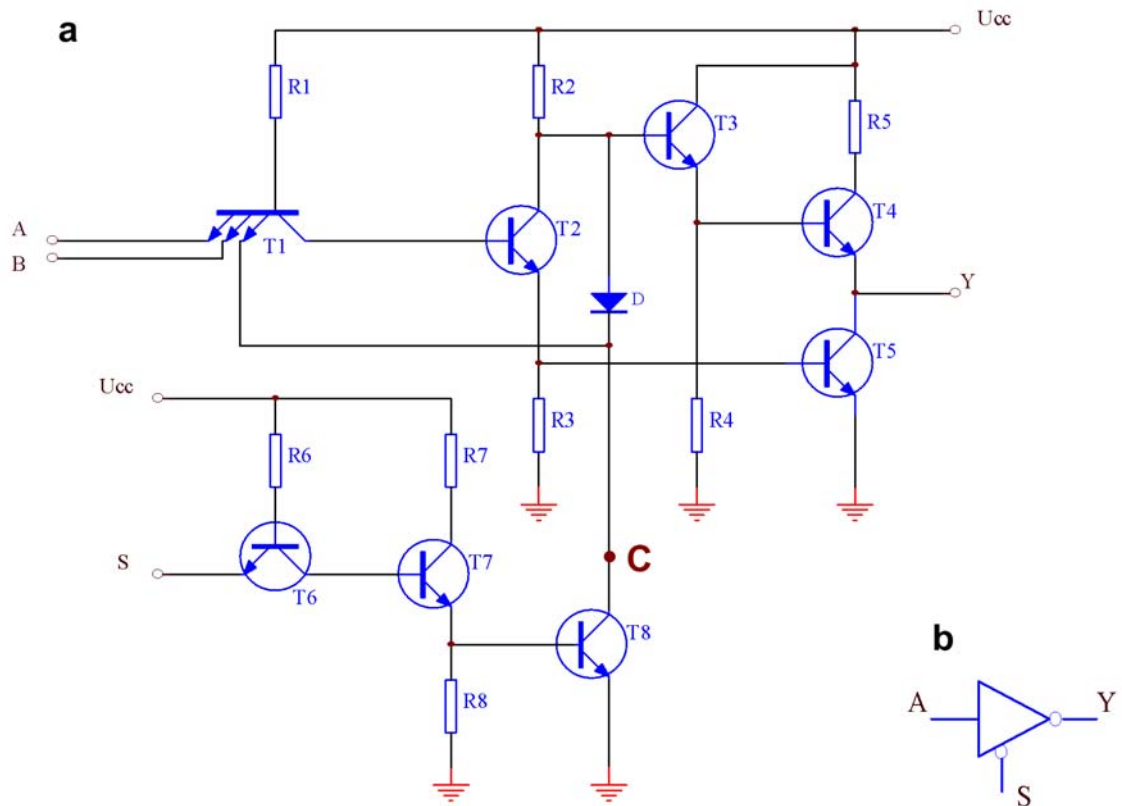
Wartość minimalna rezystancji  $R_{0min}$  nie zależy od liczby bramek, których wyjścia są połączone razem. Wynika to z przyjęcia założenia, że wartość prądu wyjściowego bramki w stanie wyłączonym przy napięciu  $U_{OL}$  jest do pominięcia.

Nominalną wartość  $R_0$  należy wybrać spośród wartości  $R_{0min} \leq R_0 \leq R_{0max}$  biorąc pod uwagę z jednej strony wymagany czas narastania przebiegu wyjściowego, a z drugiej ograniczenia mocy zasilania. Dla uzyskania krótkiego czasu narastania przebiegu należy stosować wartości  $R_0$  bliskie  $R_{0min}$ , natomiast minimalną wartość mocy zasilania uzyskuje się stosując  $R_0$  bliskie  $R_{0max}$ .

W przeprowadzonych rozważaniach przyjęto napięcie zasilania  $U_{CC} = 5V$ . Dla najgorszego przypadku należy do obliczania  $R_{0max}$  podstawić  $U_{CC} = U_{CCmax}$  oraz do obliczania  $R_{0min}$  podstawić wartość  $U_{CC} = U_{CCmin}$ .

#### 4.1.4.2. Bramka trójstanowa

Lepsze parametry struktury wyjściowej zapewnia zastosowanie bramek z wyjściami trójstanowymi. Takie bramki, oprócz dwóch normalnych stanów pracy mają dodatkowo trzeci stan, charakteryzujący się dużą impedancją wyjściową. Element taki ma z tego powodu dodatkowe wejście sterujące trybem pracy (S). Jeśli na wejściu sterującym S jest niski potencjał (stan L), to tranzystory T7, T8 układu sterującego są zatkane i bramka zachowuje się tak, jak zwykła bramka negacji. Jeżeli na wejściu sterującym jest stan wysoki (stan H), to tranzystory T7, T8 są w stanie nasycenia. Potencjał punktu C wynosi 0,2V. W tej sytuacji dioda D jest spolaryzowana w kierunku przewodzenia i na bazie tranzystora T3 występuje potencjał o wartości 0,9V, co sprawia, że tranzystor T4 jest zatkany. Odcięte są również tranzystory T2 i T5 ze względu na to, że na wejściu tranzystora T1 połączonym z punktem C poziom napięcia jest niski. Na wyjściu w takim przypadku występuje nieokreślony stan charakteryzujący się dużą impedancją wyjściową.



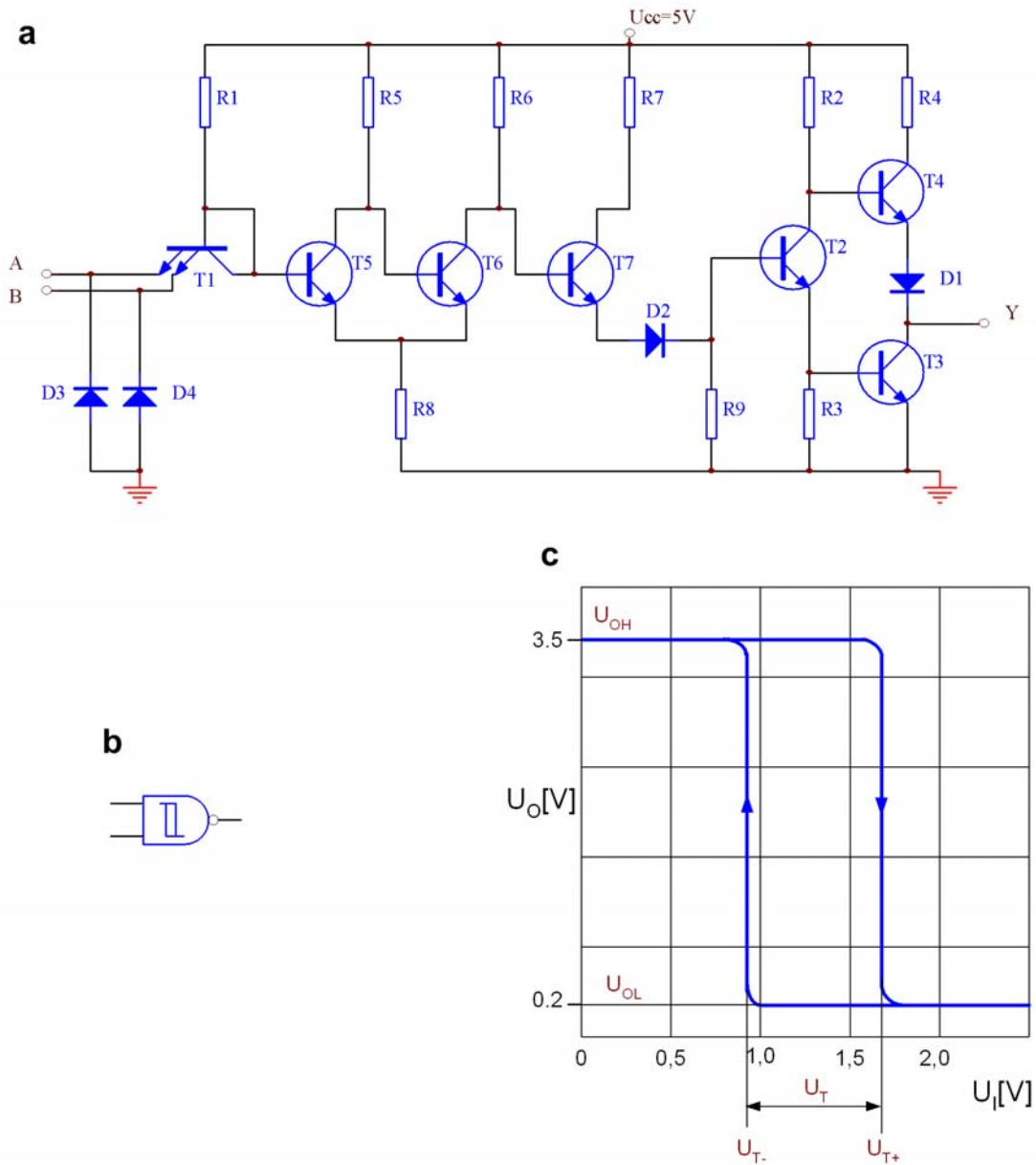
Rys. 4.14 Schemat (a) oraz symbol graficzny (b) bramki trójstanowej.

W połączeniach szynowych tylko jedna bramka może być w stanie aktywnym, natomiast pozostałe powinny być w stanie wysokiej impedancji. Dlatego też układy z wyjściami trójstanowymi muszą być tak projektowane aby ich czas zablokowania (czas pomiędzy wyjściem ze stanu aktywnego i przejścia do stanu wysokiej impedancji) był krótszy od czasu odblokowania (czas pomiędzy wyjściem ze stanu wysokiej impedancji i przejściem do stanu aktywnego).

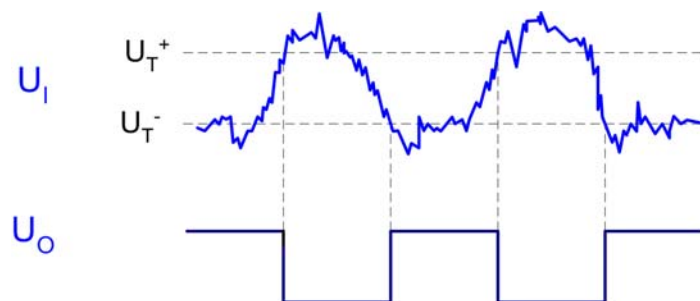
#### 4.1.4.3. Bramka z układem Schmitta

W wielu zastosowaniach trzeba przekształcić stosunkowo wolnozmiennie sygnały, dostarczane przez różnego rodzaju przetworniki i układy pomiarowe, w impulsy o odpowiednio stromych zboczach do sterowania układów scalonych TTL. Przy przesyłaniu informacji cyfrowych między różnymi częściami systemów cyfrowych z reguły jest pożądane zapewnienie możliwie największej odporności na zakłócenia. Warunki te w znacznej mierze są spełnione po zastosowaniu układu progowego z histerezą, znanego w układach elektronicznych pod nazwą układu Schmitta. Przełączania bramki Schmitta następuje przy przekraczaniu napięcia ok. 1,7V przy narastaniu sygnału wejściowego i przy napięciu ok. 0,9V przy opadaniu tegoż sygnału.





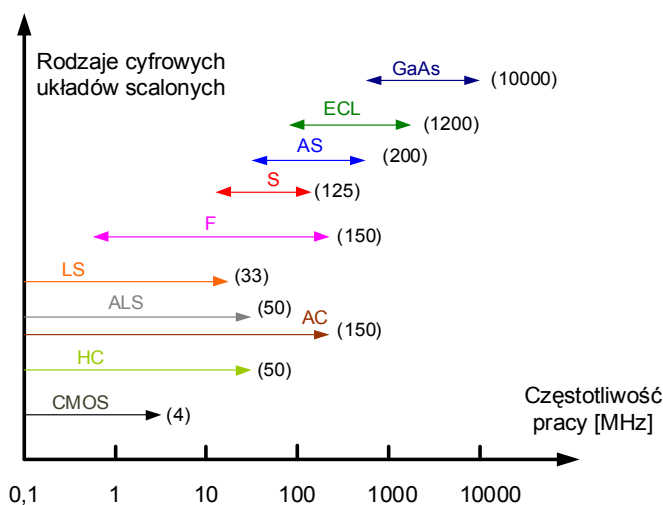
Rys. 4.15 Schemat bramki NAND Schmitta (a), symbol graficzny bramki (b) oraz charakterystyka przejściowa (c)



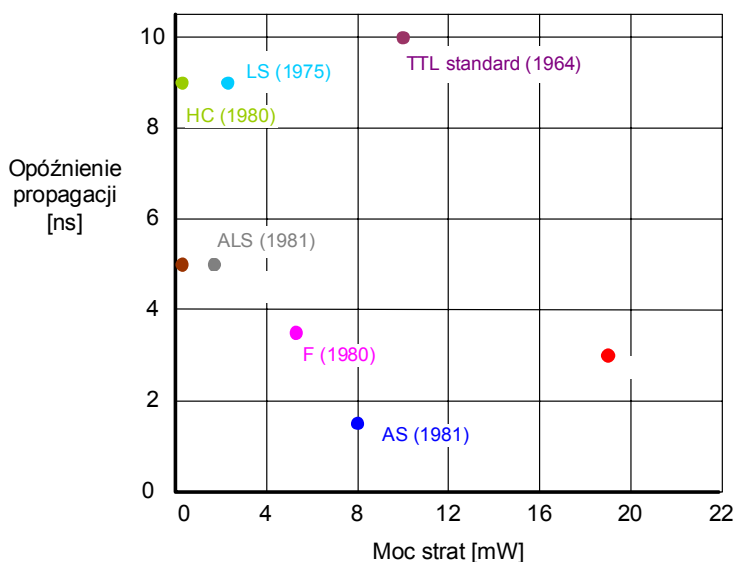
nia, na wejściu układu zwarto złącze BC tranzystora T1. Bramki z układem Schmitta są stosowane na wejściach układów cyfrowych do formowania impulsów zwłaszcza przy silnych zakłóceniach. Układ przesuwania poziomu (tranzystor T7 i dioda D2) dopasowuje poziomy napięć pomiędzy wyjściem układu Schmitta a układem wyjściowym bramki. W przypadkach zakłóceń, których amplituda przekracza poziom ok. 1.2V należy dodatkowo stosować filtry dolnoprzepustowe RC lub bardziej skuteczny filtr LC.

#### 4.2. PODSTAWOWE BRAMKI INNYCH SERII.

Oprócz podstawowej serii 54/74 istnieją serie H, L, S, LS, AS, ALS i F. Dwie pierwsze są całkowicie przestarzałe i dlatego nie są stosowane we współczesnym sprzęcie. Porównanie właściwości bramek podstawowych serii przedstawiono na rys. 4.17 i 4.18.



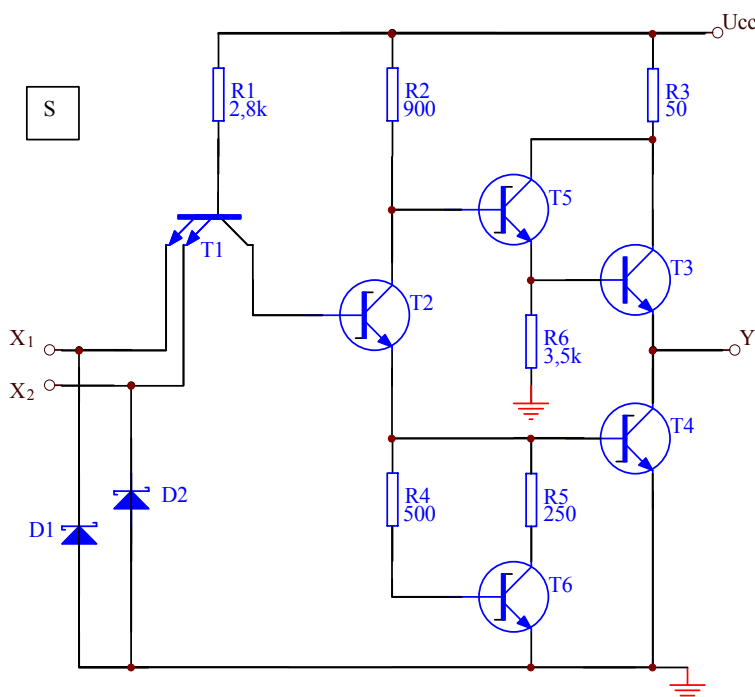
Rys. 4.17 Zakres częstotliwości pracy układów TTL z różnych serii.



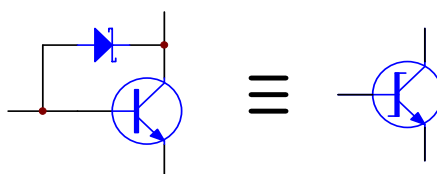
Rys. 4.18. Opóźnienie propagacji i moc strat układów TTL różnych serii

#### 4.2.1. BRAMKI SCHOTTKY'EGO (RODZINA 74S)

Schemat podstawowej bramki 74S00 przedstawiono na rys. 4.19. Wszystkie tranzystory z wyjątkiem T3 są tranzystorami Schottky'ego. Tranzystory T5 i T3 w układzie Darlingtona zapewniają większą szybkość działania i mniejszą impedancję wyjściową. Tranzystor T6 wraz z rezystorami R4 i R6 tworzy układ do korekcji charakterystyki przejściowej aby stała się bardziej prostokątna niż charakterystyka bramki serii standardowej (rys. 4.21). W standardowej bramce TTL duży wpływ na szybkość przełączania ma praca tranzystorów w stanie nasycenia. Włączając między bazę, a kolektor diodę Schottky'ego otrzymujemy tranzystor Schottky'ego (rys. 4.20). Tranzystor taki



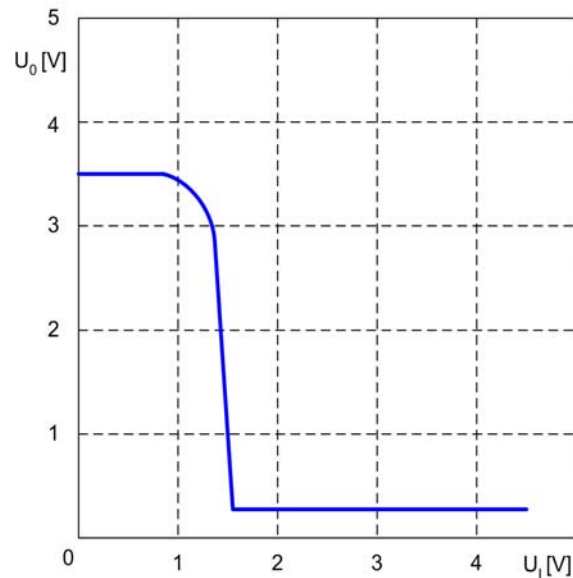
Rys. 4.19 Schemat ideowy bramki NAND 74S00



Rys. 4.20 Tranzystor Schottky'ego

nie posiada pojemności  $C_{jc}$ , która w wyniku przełączania i zjawisku Millera multiplikuje się na wyjściu. Można zatem uzyskać znacznie szybsze przełączanie tranzystora ze stanu przewodzenia do stanu odcięcia w wyniku braku efektu przeciągania. Właściwości bramki TTL NAND serii S:

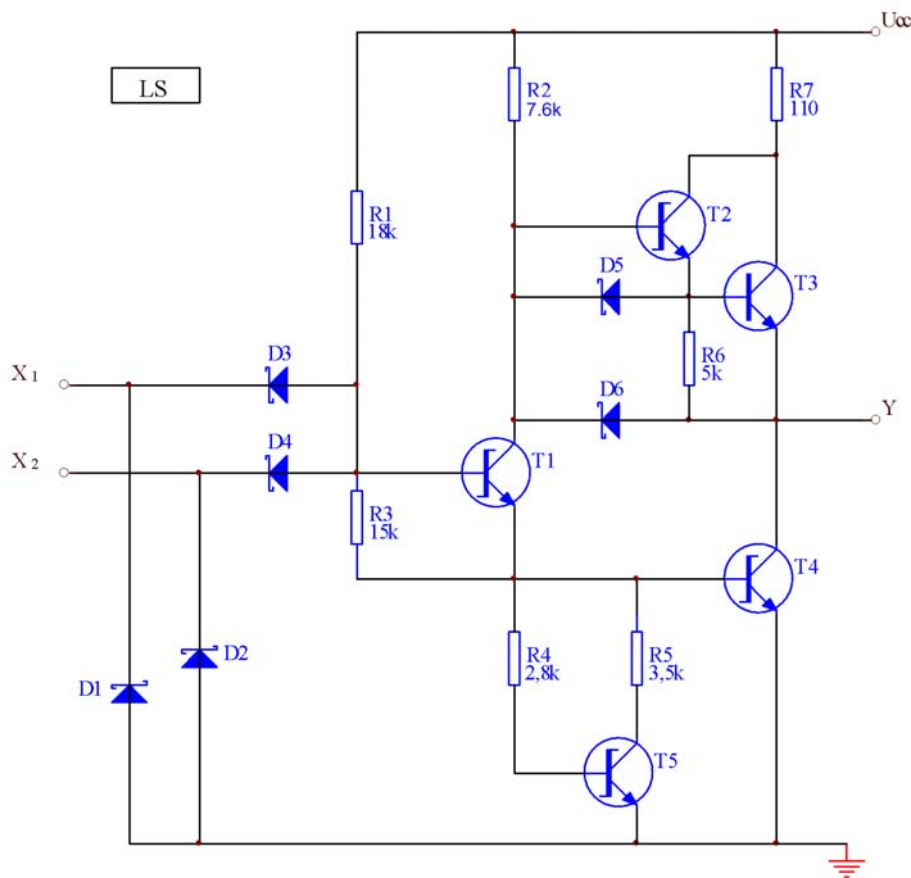
- \* 2 do 3 razy krótszy czas propagacji (ok. **3ns**) w porównaniu z bramki standardowej,
- \* mniejszy pobór mocy podczas przełączania,
- \* większy pobór mocy w stanie statycznym – wynik zmniejszenia rezystancji w strukturze bramki (ok. **19mW**),
- \* lepsze zabezpieczenie przed ujemnym napięciem na wejściach.



Rys. 4.21. Charakterystyka przejściowa bramki TTL NAND 74S00

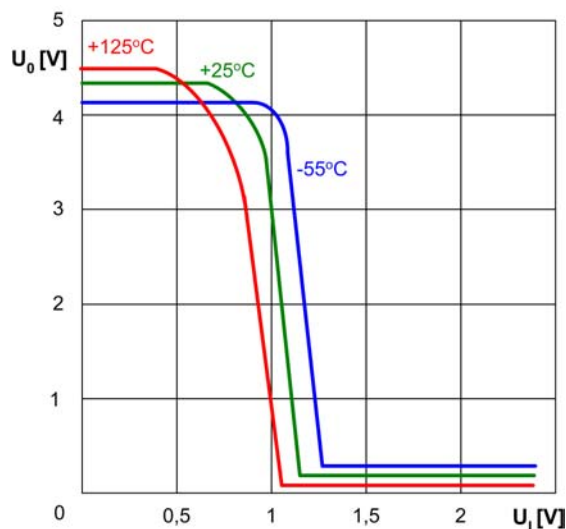
#### 4.2.2. Bramka TTL NAND Schottkygo małej mocy 74LS

Układami umożliwiającymi w znacznej mierze na osiągnięcie zarówno małej mocy strat, jak i dużej szybkości działania są układy LS (Low - Power - Schottky). Schemat ideowy podstawowej bramki NAND serii LS przedstawiono na rys. 4.22. W układzie bramki Schottkygo małej mocy



Rys. 4. 22 Schemat bramki NAND serii Schottkygo małej mocy

dwuemiteryjny tranzystor wejściowy został zastąpiony dwiema diodami  $D_3$ ,  $D_4$ . Diody te wraz z rezystorem  $R_1$  tworzą klasyczną diodową bramkę iloczynu. Zaletą układu diodowego jest zwiększenie napięcia przebicia do ok. 15V, zwiększenie szybkości przełączania bramki oraz zmniejszenie prądów wejściowych. Wadą tej konfiguracji jest natomiast obniżona wartość napięcia progowego (rys. 4.23), które wynosi:  $U_T = 2U_{BE} - U_{DS} = 1,4 - 0,3 = 1,1V$  ( $U_{DS}$  – napięcie progowe przewodzenia diody Schottky’ego). Pozostała część układu bramki jest podobna do bramki serii S,



Rys. 4.23. Charakterystyka przejściowa bramki TTL NAND 74LS00

ale wartości rezystorów są większe i rezystor  $R_6$  jest połączony z wyjściem, a nie masą. W wyniku takiej modyfikacji przy bardzo małym obciążeniu otrzymuje się zwiększoną wartość napięcia na wyjściu w stanie wysokim  $U_{OH} = 4,4V$ . Napięcie to jest równe w przybliżeniu napięciu zasilania pomniejszonemu o napięcie  $U_{BE}$  tranzystora T2. Maksymalna wartość prądu wejściowego na poziomie wysokim wynosi  $I_{IHmax} = 20\mu A$ , a na poziomie niskim  $I_{ILmax} = -0,4mA$ . Wynika stąd, że wyjście układu z serii standardowej zapewnia obciążalność  $N_{max} = 40$  w odniesieniu do wejść układów z serii LS. Układy w obrębie serii LS 74 zapewniają  $N_{max} = 20$ . Dioda  $D_6$  służy do przyspieszenia rozładowania pojemności obciążenia przy zmianie poziomu na wyjściu z H na L, natomiast dioda  $D_5$  służy do przyspieszenia odcięcia tranzystora T2 podczas przełączania. Podobnie jak układy serii S, układy z serii LS mają nieco pogorszony margines zakłóceń ( $M_L = 0,3V$ ), gdyż gwarantowane napięcie  $U_{OLmax} = 0,5V$  (przy  $I_{OL} = 8mA$ ) jest o 0,1V wyższe niż w serii standardowej.

Ze względu na niskie napięcie progowe  $U_T$  (ok. 1,1V) na wejściach niektórych układów z diodami

Schottky’ego stosowane są obwody wejściowe w celu podwyższenia tego napięcia. Charakterystyki wejściowe i wyjściowe bramki są podobne do odpowiednich charakterystyk bramek serii standardowej. Średni czas propagacji bramki wynosi **9ns**. Pobór mocy – **2mW**.

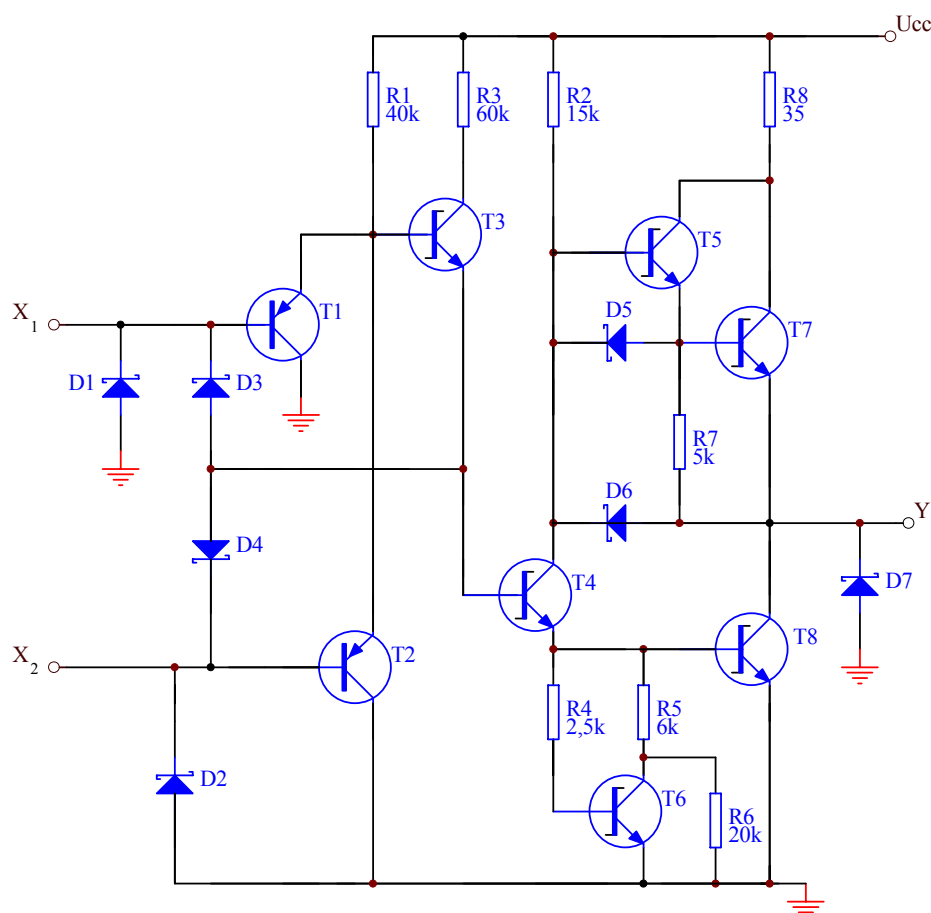
Wszystkie parametry bramek serii 74LS są lepsze od odpowiednich parametrów serii standardowej 74 przy porównywalnych cenach obu serii. Dlatego zastąpiły one niemal całkowicie układy serii standardowej.

### 4.2.3. Bramka ALS (Advanced Low Power Schottky)

Schemat ideowy bramki NAND z serii ALS (Advanced Low Power Schottky) przedstawiono na rys. 4.24. Porównując bramkę NAND z serii ALS z bramką serii LS można zauważyć następujące modyfikacje:

- \* zastosowanie na wejściu tranzystora pnp (z użyciem szybkiego wtórnika emiterowego T3),
- \* około dwukrotnie większe wartości rezystorów R1 i R2,
- \* dodatkowa dioda ograniczająca D7 na wyjściu, wprowadzona w celu ułatwienia współpracy z niedopasowanymi liniami połączeniowymi.

W wyniku tych zmian i nowej technologii osiągnięta została dwukrotnie mniejsza moc strat (**1mW**) i dwukrotnie krótszy czas propagacji (**4ns**).

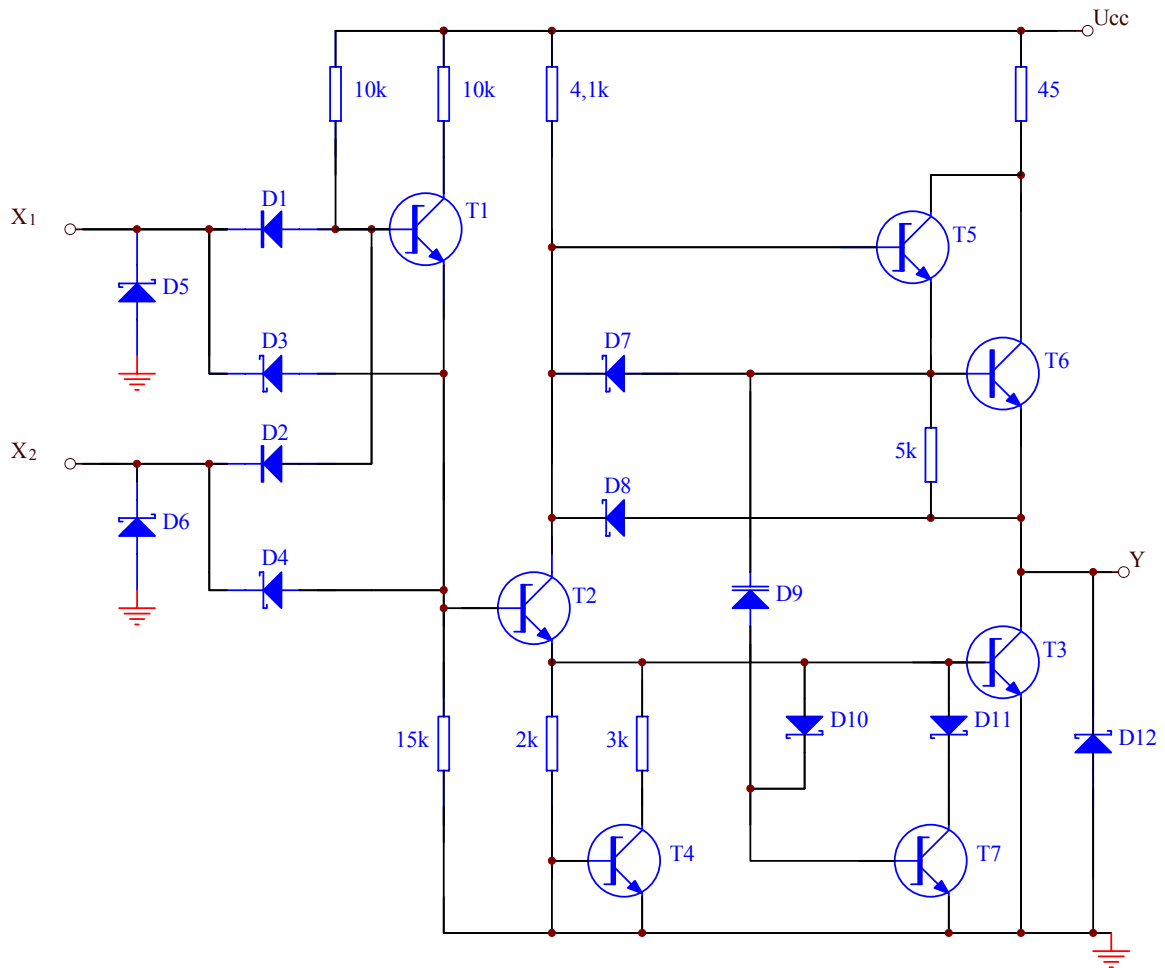


Rys. 4.24 Schemat bramki ALS

### 4.2.4. Bramka typu F (FAST)

Bramkę NAND serii F przedstawiono na rys. 4.25. Bramka ta posiada na wejściach diody złączone (D1, D2) zamiast tranzystorów pnp (jak to jest w serii ALS). Nie zastosowano w tej bramce diod Schottky'ego aby zwiększyć napięcie progowe. Wynosi ono w przybliżeniu  $2U_{BE}$ . Diody D1 i D2 są utworzone przez złącza baza - kolektor. Dlatego napięcie przebicia jest większe (min. 7V) niż w klasycznej strukturze tranzystora wieloemiterowego (gdzie napięcie przebicia złącza emiter-baza jest bliskie 5V). Układ diodowo-tranzystorowy (od D9 do D11, T7) został wprowadzony w celu przyspieszenia przełączenia na wyjściu z poziomu L na H. Taka zmiana napięcia na emiterze tranzystora T5 przenosi się przez diodę pojemnościową D9 na bazę tranzystora T7, powodując jego chwilowe przewodzenie. Umożliwia to

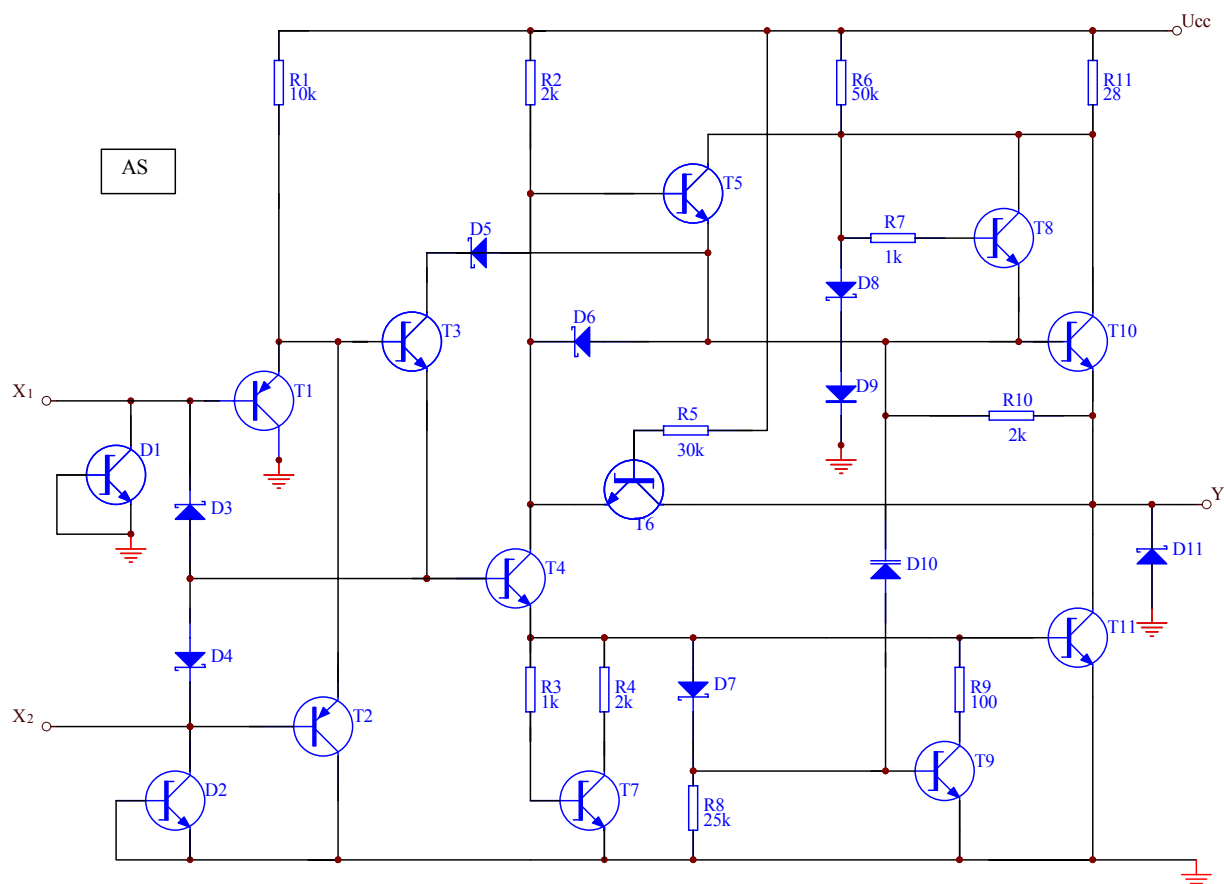
radykalne zmniejszenie efektu Millera związanego z tranzystorem T3, czyli szybkie rozładowanie pojemności pasożytnej kolektor-baza tego tranzystora. Wynikiem tego jest skrócenie czasu narastania sygnału wyjściowego. Opisany układ jest nazywany eliminatorem efektu Millera (Miller killer).



Rys. 4.25 Schemat bramki NAND TTL 74F00

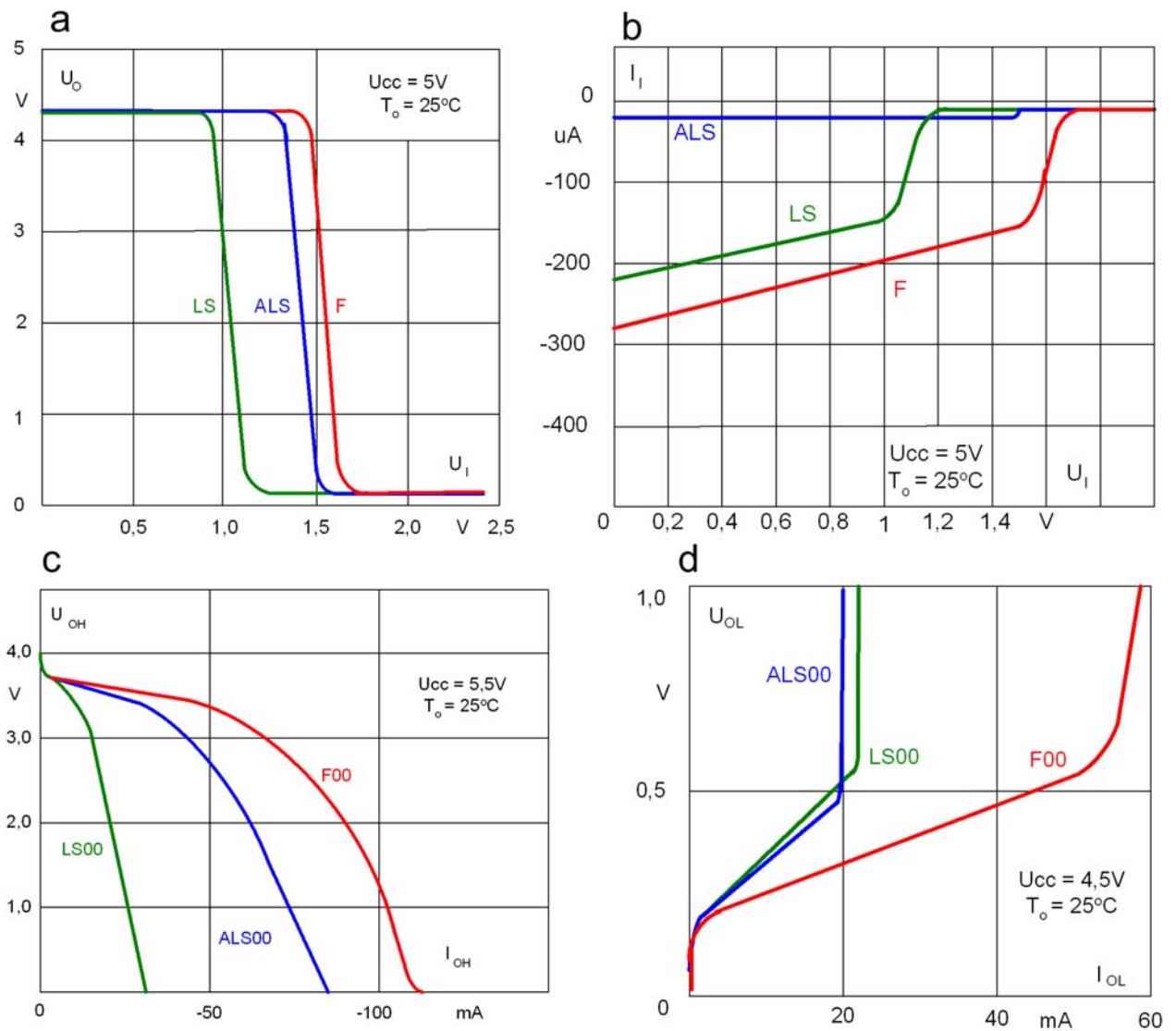
#### 4.2.5. Bramka AS (Advanced Schottky)

Najszybszymi i najbardziej złożonymi układami w klasie TTL są układy z serii AS. Ich zasadnicze parametry: czas propagacji **1,7ns**, moc tracona **8mW** oraz typowy margines zakłóceń (1V) są lepsze niż konkurencyjne układy ECL. Podstawowa bramka NAND serii AS jest jednak bardziej skomplikowana niż klasyczna z serii standardowej (rys. 4.26). Zawiera po 11 tranzystorów, diod i rezystorów. Porównując bramki serii TTL układy bramek z ulepszonych serii są bardziej złożone niż układy z serii standardowej, lecz w wyniku zastosowania nowoczesnych technologii zajmują one w przybliżeniu tę samą powierzchnię na kostce krzemowej. Typowe charakterystyki bramek serii ALS, F pokazano na rys. 4.27, na którym dla porównania naniesiono charakterystyki bramek LS.



Rys. 4.26 Schemat bramki AS





Rys. 4.26 Charakterystyki końcowe układów ulepszonych serii TTL, charakterystyki przejściowe (a), charakterystyki wejściowe (b), charakterystyki wyjściowe w stanie H (c), charakterystyki wyjściowe w stanie L (d)

## 5. UKŁADY SCALONE RODZINY CMOS

### 5.1. KRÓTKI OPIS RODZINY

Układy komplementarne CMOS stanowią specyficzną podklasę układów MOS. Są zbudowane z tranzystorów polowych z izolowaną bramką z kanałem wzbogacanym. Wyróżniają się one charakterystyczną techniką układową, wykorzystującą komplementarne tranzystory PMOS i NMOS do budowy układów cyfrowych bez jakichkolwiek elementów rezystorowych.

Układy CMOS stopniowo wypierają układy TTL i stanowią najbardziej perspektywiczną technologię układów cyfrowych. Najważniejsze zalety tych układów to bardzo mała moc strat w stanie statycznym i przy małych częstotliwościach, oraz możliwość pracy przy obniżonym napięciu zasilania, co umożliwi znaczne zmniejszenie mocy strat przy większych częstotliwościach. Układy CMOS były początkowo wykorzystywane przy napięciu zasilania równym  $5\text{ V} \pm 0,5\text{ V}$ , aby zapewnić pełną kompatybilność zasilania z układami TTL. Aby obniżyć moc strat przy wyższych częstotliwościach, w najnowszych urządzeniach z układami CMOS stosuje się obniżone napięcie zasilania równe  $3,3\text{ V} (\pm 0,3\text{ V})$ ,  $2,5\text{ V} (\pm 0,2\text{ V})$ ,  $1,8\text{ V} (\pm 0,15\text{ V})$ , a nawet  $0,8\text{ V}$ . Układy przeznaczone do pracy z obniżonym napięciem są wytwarzane submikronowymi technologiami, umożliwiającymi znaczne zmniejszenie geometrii struktur scalonych w wyniku przeskalowania struktur pięciowoltowych. W rezultacie układy takie osiągają większą szybkość działania niż układy pięciowoltowe. Ponieważ moc strat układów CMOS zależy od kwadratu napięcia zasilającego, więc w układach trzywoltowych uzyskuje się zmniejszenie mocy strat w stosunku  $5^2 / 3,3^2 \approx 2,3$ , co oznacza istotną oszczędność energii zasilania i energii potrzebnej do chłodzenia, a także większą wygodę użytkowania. Inne korzyści z obniżenia zasilania to niższy poziom generowanych zakłóceń elektrycznych i elektromagnetycznych. Uzyskuje się również lepszą niezawodność pracy i niższe prawdopodobieństwo przebicia tlenku bramkowego.

Układy CMOS można ogólnie podzielić na cztery główne kategorie:

- \* Układy do zastosowań masowych, o niewielkiej szybkości działania (układy zegarkowe, nie programowalne układy kalkulatorowe z napięciem zasilania  $0,8\text{ V} \div 1,5\text{ V}$ ).
- \* Układy programowalne (takie jak układy PLD i FPGA) i specjalizowane (ASIC).
- \* Uniwersalne układy cyfrowe LSI i VLSI, głównie układy mikroprocesorowe i pamięciowe.
- \* Uniwersalne układy cyfrowe SSI i MSI, stanowiące funkcjonalne odpowiedniki układów TTL.

## 5.2. ZESTAWIENIE ZASADNICZYCH PARAMETRÓW RODZINY CMOS.

Parametr	Rodzina TTL			Rodzina CMOS			
	LS	ALS	F	4000B 74C	HC HCT	AHC AHCT	AC ACT
Napięcie zasilające $U_{CC}$ [V]	5±5%	5±10%	5±5%	3 - 18	2 – 6	2 – 5,5	2 – 6
Moc strat na bramkę w stanie statycznym $P_{typ}$ [mW]	2	1	5,5	0,001	0,0025	0,0025	0,0025
Czas propagacji $t_{ptyp}$ [ns] przy $C_L = 50$ pF	9	5	3,5	125	8	5.2	3
Maksymalna częstotli- wość pracy $f_{max}$ [MHz]	33	50	150	4	50	115	160
Prąd wyjściowy $I_{OH max}$ [mA] przy $U_{OH min}$	0,4	0,4	1	2,1 przy 2,5V	6 przy 4,5V	8 przy 4,5V	24 przy 3,8V
Prąd wyjściowy $I_{OL max}$ [mA] przy $U_{OL max}$	-8	-8	-20	-0,44 przy 0,4V	-6 przy 0,4V	-8 przy 0,4V	-24 przy 0,4V
Prąd wejściowy $I_{IH max}$ [μA]	20	20	20	0,1	1	1	1
Prąd wejściowy $I_{IL max}$ [μA]	400	200	600	0,1	1	1	1
Margines zakłóceń $M_{min}$ [V]	0,3	0,4	0,3	0,3 $U_{CC}$	0,28 $U_{CC}$ : 1,25V przy $U_{CC}=4,5V$ oraz 1,4V przy $U_{CC}=5,0V$		

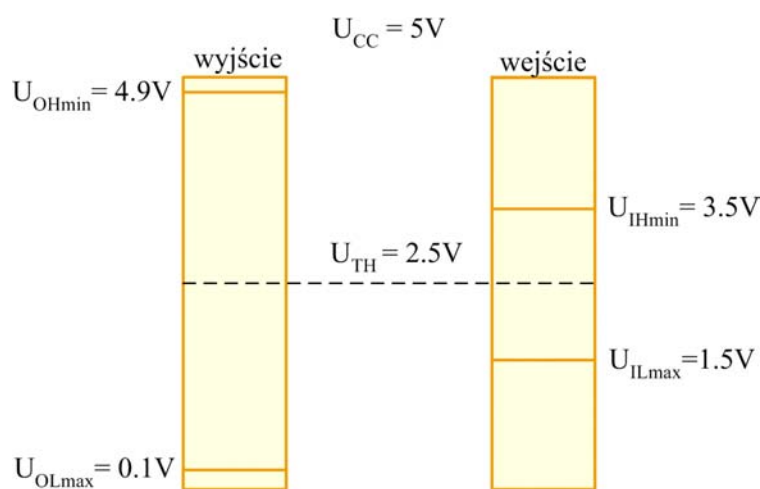
Tab. 5.1 Parametry wybranych układów CMOS i TTL zasilanych napięciem  $U_{CC}=5V$

Typowe napięcie zasilające, równe 5 V, mają cztery rodziny SSI/MSI z grup: 4000B, HC, AHC i AC (tab. 5.1). Początkowo produkowano układy nie buforowane serii 4000A, opracowane na początku lat siedemdziesiątych, przy zastosowaniu technologii 9 μm i bramek metalowych. Rodzina ta następnie została zastąpiona przez ulepszoną rodzinę układów buforowanych 4000B, wytwarzanej w technologii bramek krzemowych 6 μm. Charakteryzuje się ona szczególnie dużym zakresem napięcia zasilającego, lecz niewielką szybkością działania. Układy z tej rodziny nie są zgodne końcówkowo i oznaczeniowo z układami TTL. Pełną zgodność końcówkową, oznaczeniową i funkcjonalną z układami TTL mają układy CMOS z szybkich rodzin HC (High-speed CMOS), AHC (Advanced HC) i AC (Advanced CMOS).

Poza wymienionymi wcześniej zaletami, układy CMOS mogą pracować w szerszym zakresie temperatury otoczenia, a także zapewniają lepsze możliwości sterowania dużych obciążeń niż TTL. Układy z podanych „pięciowoltowych” rodzin mogą również pracować przy obniżonym napięciu zasilania, lecz wtedy ich szybkość pracy znacznie spada. Ponadto, układy pięciowoltowe zasilane napięciem 3,3 V nie mogą być łączone z układami zasilanymi

napięciem 5 V w jednym urządzeniu, z uwagi na diody złączone na wejściach i wyjściach. Układy trzywoltowe są natomiast tak projektowane, aby mogły współpracować z układami pięciowoltowymi. Układy z rodziny LV (Low Voltage HCMOS) to układy HCMOS przystosowane do pracy z niższym napięciem od 5 V. Układy rodziny LVC (Low Voltage CMOS) są ulepszoną wersją układów LV. Najwyższym osiągnięciem rodziny układów trzywoltowych jest rodzina ALVC (Advanced Very-LV CMOS). Rodzina układów AVC (Advanced Very Low Voltage CMOS) została zoptymalizowana do pracy przy napięciu zasilającym 2,5 V chociaż zakres napięć zasilania może zawierać się pomiędzy 1,2 V a 3,6 V. Natomiast rodzina AUC (Advanced Ultra-LV CMOS) może pracować przy napięciu zasilającym równym 0,8 V. Średni czas propagacji rodzin AVC i AUC to mniej niż 2 ns.

Należy zauważyć, że różni producenci układom zaprezentowanym powyżej przypisują różne nazwy. Przykładowo rodzina LCX (Toshiba) jest odpowiednikiem rodziny LVC Texas Instruments. Zakres typowych napięć dla rodzin układów CMOS zasilanych napięciem 5 V przedstawiono na rys. 5.1, natomiast podstawowe parametry w tab. 5.2.



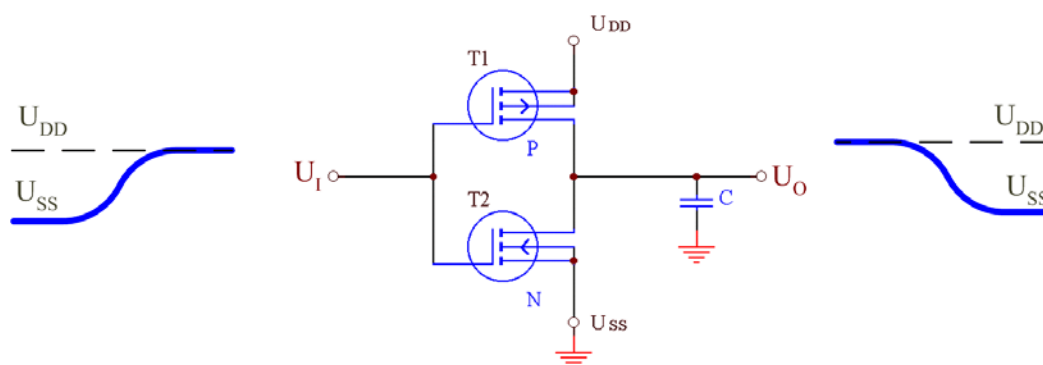
Rys. 5.1 Zakres napięć typowych i gwarantowanych dla rodziny CMOS zasilanej napięciem 5 V

Parametry	Rodzina		
	LV	LVC	ALVC
Napięcie zasilające $U_{CC}$ [V]	2 – 5,5	1,2 – 3,6	1,2 – 3,6
Czas propagacji $t_{ptyp}$ [ns] przy $C_L = 50$ pF	9	6,5	3
Maksymalna częstotliwość pracy $f_{max}$ [MHz]	70	150	300
Prąd wyjściowy [mA]: $I_{OLmax}$ ( $I_{OHmax}$ )	8 (8)	24 (24)	24 (24)
Technologia [ $\mu m$ ]	2	0,8	0,6
Temperatura pracy [ $^{\circ}C$ ]	-40 ÷ +125	-40 ÷ +85	-40 ÷ +85

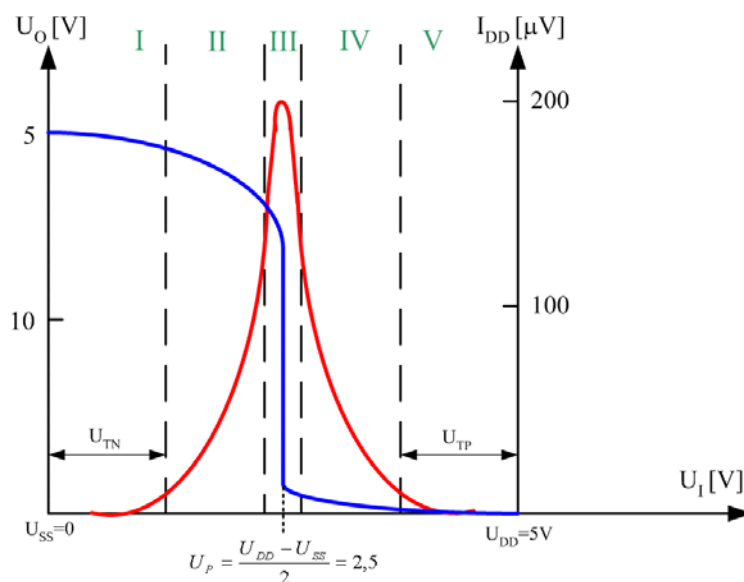
Tab.5.2 Zestawienie parametrów układów CMOS z czterech rodzin trzywoltowych produkcji Texas Instruments (TI)

### 5.3. PODSTAWOWE BRAMKI CMOS – BUDOWA, ZASADA DZIAŁANIA, CHARAKTERYSTYKI

Podstawowym układem CMOS jest inwerter, składający się z dwóch komplementarnych tranzystorów MOS, połączonych w sposób pokazany na rys. 5.2. W każdym z dwóch możliwych stanów logicznych przewodzi tylko jeden tranzystor układu. Jeśli  $U_I \approx U_{SS} = 0$ , to przewodzi tranzystor PMOS, a tranzystor NMOS jest odcięty, czyli na wyjściu ustala się napięcie  $U_{OH} = U_{DD}$ . Jeśli natomiast  $U_I \approx U_{DD}$ , to przewodzi NMOS i tranzystor PMOS jest odcięty, czyli na wyjściu otrzymuje się napięcie  $U_{OL} \approx U_{SS} = 0$ . Pracę inwertera można wyjaśnić posługując się statycznymi charakterystykami przejściowymi: napięciową (zależność napięcia wyjściowego  $U_O$  w funkcji napięcia wejściowego  $U_I$ ) i prądową (zależność prądu  $I_{DD}$  pobieranego przez układ ze źródła zasilania, od napięcia wejściowego). Charakterystyki te przedstawiono na rys. 5.3.



Rys. 5.2 Schemat ideowy inwertera CMOS



Rys. 5.3 Charakterystyki przejściowe inwertera CMOS

Można w nich wyróżnić pięć obszarów określonych przez różne tryby pracy tranzystorów:

- \* I:  $0 \leq U_I \leq U_{TN}$  - T1 nienasycony, T2 odcięty;
- \* II:  $U_{TN} \leq U_I \leq U_0 - |U_{TP}|$  - T1 nienasycony, T2 nasycony;
- \* III:  $U_0 - |U_{TP}| \leq U_I \leq U_0 + U_{TN}$  - T1 nasycony, T2 nasycony;

- \* IV:  $U_0 + U_{TN} \leq U_I \leq U_{DD} - |U_{TP}|$  - T1 nasycony, T2 nienasycony;
- \* V:  $U_{DD} - |U_{TP}| \leq U_I \leq U_{DD}$  - T1 odcięty, T2 nienasycony,

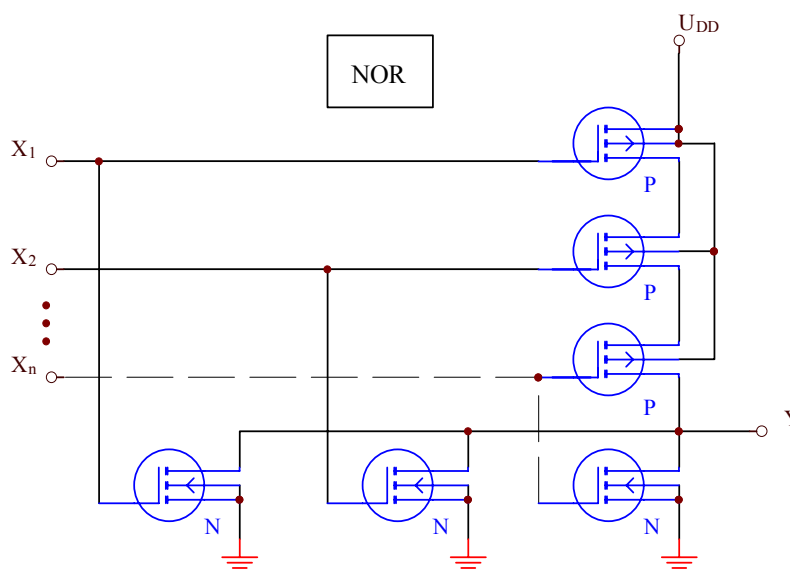
gdzie  $U_{TP}$  i  $U_{TN}$  - napięcia progowe tranzystorów odpowiednio p - kanałowego (T1) i n - kanałowego (T2). W obszarze I tranzystor T2 nie przewodzi, ponieważ napięcie bramki jest bliskie zera. Napięcie to dla tranzystora T1 spełnia warunek  $|U_{DS}| \leq |U_{GS} - U_{TP}|$ , zatem tranzystor ten znajduje się w stanie nienasyconym. Przy wzroście napięcia wejściowego powyżej  $U_{TN}$  tranzystor T2 przechodzi w stan nasycony, ponieważ  $U_{DS} > (U_{GS} - U_{TN})$ . W obszarze tym nadal nie są spełnione warunki przejścia tranzystora T1 w stan nasycenia. W stan ten tranzystor T1 przechodzi w obszarze III. Zatem w tym obszarze obydwa tranzystory znajdują się w stanie nasycenia. Zwiększając napięcie wejściowe przechodzimy kolejno do obszaru IV i później V. Rozważmy teraz przebieg charakterystyki prądowej. W stanie ustalonym (obszary I i V), przy zablokowanym jednym z tranzystorów prąd płynący pomiędzy zaciskami jest bardzo mały. W obszarach II, III, IV obydwa tranzystory przewodzą, jednak amplituda prądu gwałtownie rośnie w obszarze III gdzie obydwa tranzystory są nasycone.

## 5.4 INNE BRAMKI RODZINY CMOS

Ponieważ w układach CMOS zarówno tranzystory o kanale n jak i tranzystory o kanale p mogą być uważane za tranzystory przełącznikowe lub obciążające, zatem do realizacji funkcji logicznych trzeba je łączyć szeregowo, a jednocześnie drugie równolegle.

### 5.4.1. Bramki NAND i NOR

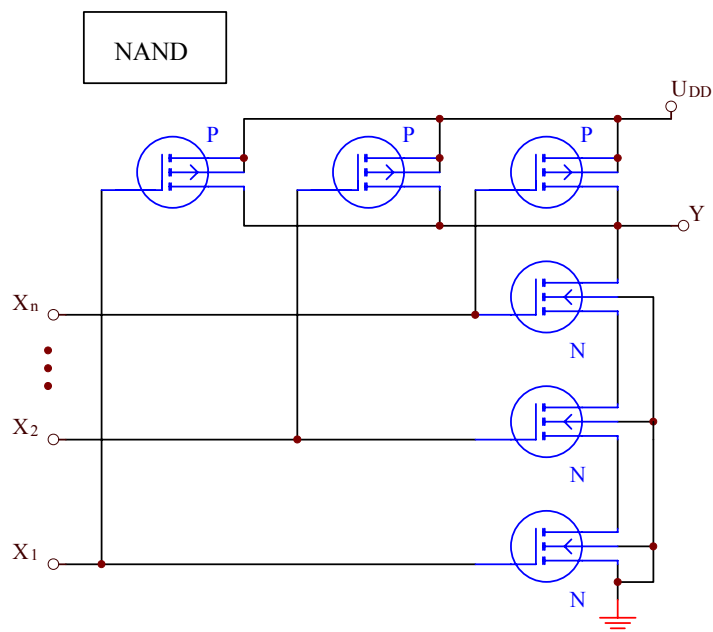
W układzie negacji sumy – bramka NOR (rys. 5.4) tranzystory o kanale n łączone są równolegle a tranzystory o kanale p szeregowo, natomiast w układzie negacji iloczynu – NAND (rys. 5.5) sposób połączenia jest odwrotny. Bramki tego rodzaju określa się jako niebuforowane.



Rys. 5.4 Schemat ideowy niebuforowanej bramki NOR

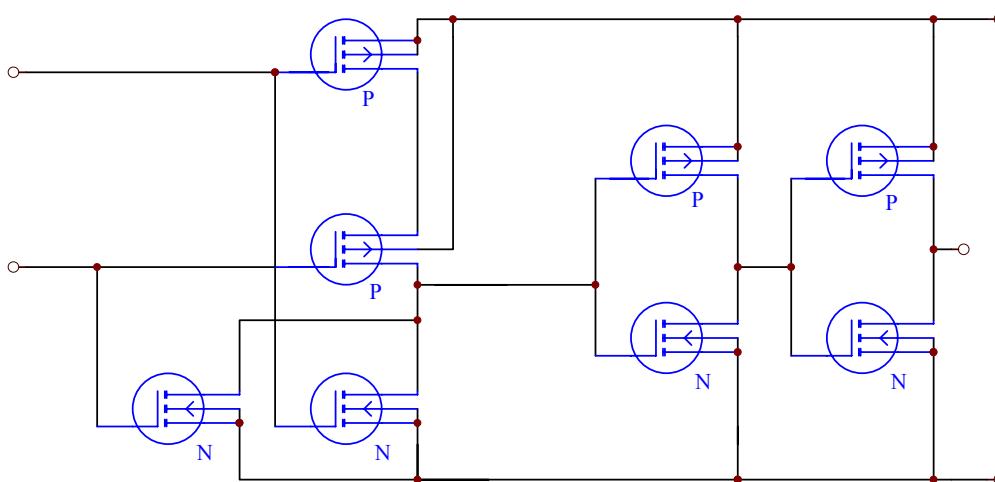
Wadą bramek niebuforowanych była zależność wielkości napięcia progowego bramki od liczby użytych do sterowania wejść bramki, co pogarszało margines zakłóceń. Drugą wadą

układów niebuforowanych była silna zależność czasu propagacji od stromości zboczy sygnału wejściowego.



**Rys. 5.5 Schemat ideowy niebuforowanej bramki NAND**

W związku z tym zostały wprowadzone ulepszone, buforowane układy CMOS. Wymienione wady układów niebuforowanych zostały usunięte przez wprowadzenie do układów bramkowych dodatkowych inwerterów, pełniących funkcję buforów wyostrzających charakterystyki przejściowe. Ulepszenie to powoduje co prawda wydłużenie czasu propagacji, ale przy wprowadzeniu nowszych i szybszych technologii ten szkodliwy efekt jest niewielki. Układy z buforowanej serii 4000 oznacza się dodatkową literą B (buffered), np. 4001B. Nieliczne układy niebuforowane oznacza się literami U lub UB (unbuffered). Buforowanie może być praktycznie realizowane różnymi sposobami.

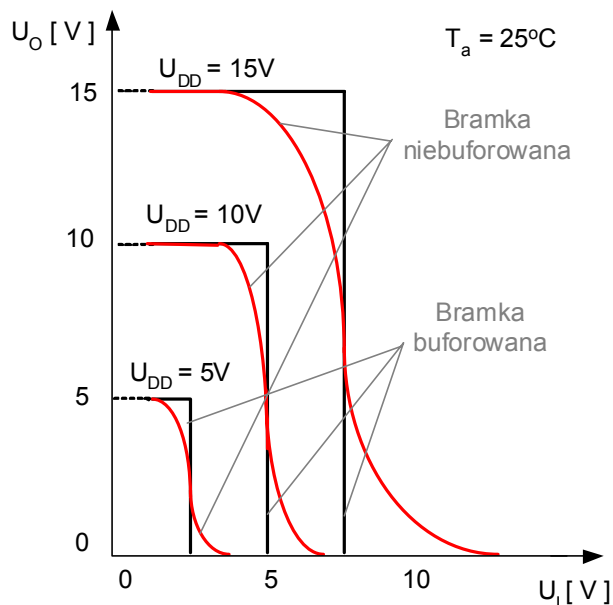


**Rys. 5.6 Schemat ideowy buforowanej na wyjściu bramki NOR**

Generalnie istnieją trzy takie sposoby w odniesieniu do podstawowych bramek SSI:

- \* buforowanie na wyjściu,
- \* buforowanie na wejściu,
- \* buforowanie na wyjściu i na wejściu.

Buforowanie na wyjściu przedstawiono na rys. 5.6. Polega ono na dodaniu na wyjściu podstawowego układu bramki dwóch szeregowo połączonych inwerterów, pełniących wspólnie funkcję wzmacniacza nieodwracającego. W rezultacie otrzymuje się wyraźnie wyostrzone charakterystyki przejściowe przedstawione na rys. 5.7.

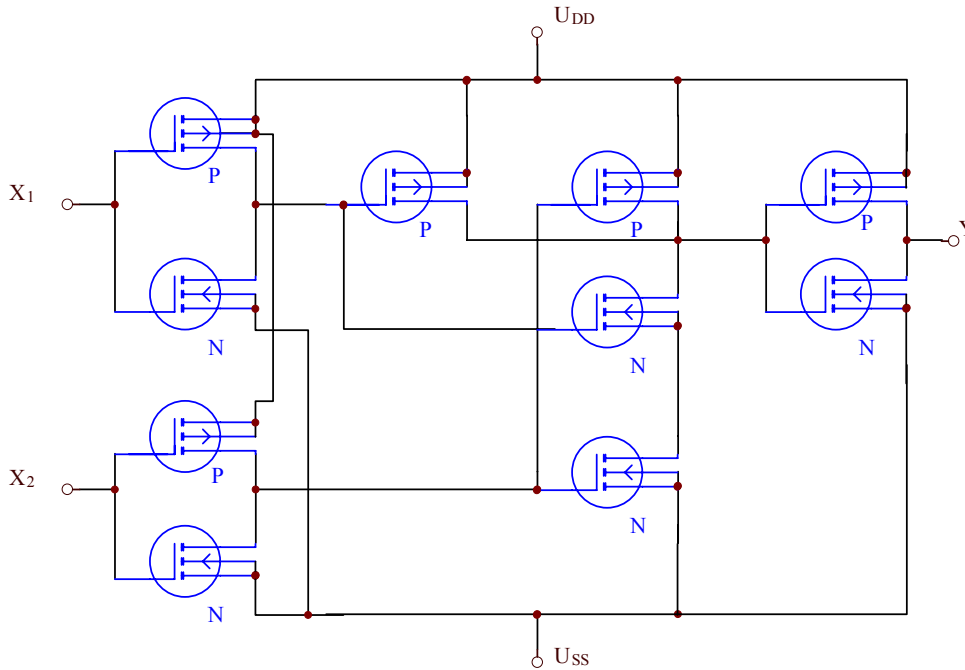


Rys. 5.7 Porównanie charakterystyk przejściowych bramki NOR z bramką buforowaną i niebuforowaną

Buforowanie na wejściach stosuje się do wyostrenia sygnałów wejściowych. Zazwyczaj jest ono łączone z buforowaniem na wyjściu. Przykładem może być budowa bramki CD4001B przedstawiona na rys. 5.8. W tym przypadku bramką podstawową jest bramka NAND z buforowanymi inwersyjnie obydwoma wejściami i wyjściem. Układ zawiera jeden inwerter więcej w porównaniu z układem poprzednim (rys. 5.6), lecz liczba poziomów inwersji pozostaje ta sama. Ten sposób buforowania zapewnia nieco lepszą odporność na zakłócenia niż tylko buforowanie na wyjściu.

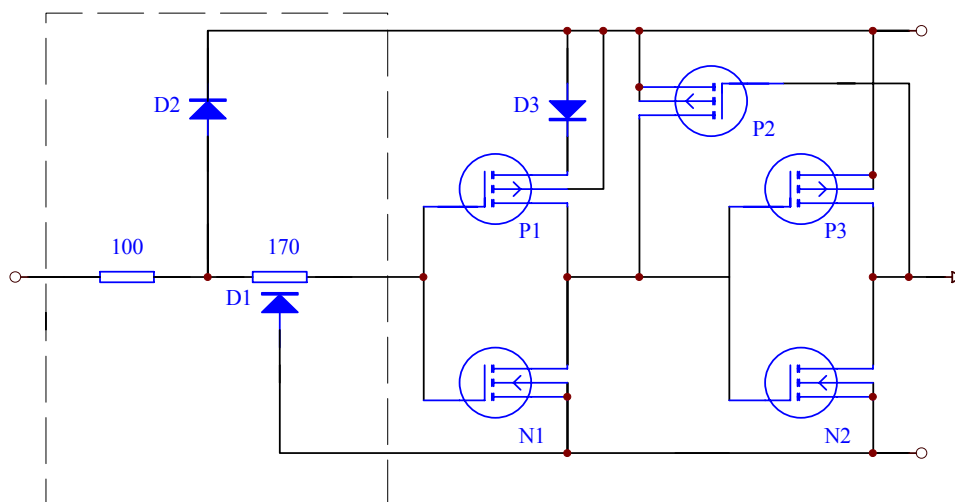
Układy CMOS z rodziny szybkich (HC, AHC, AC), kompatybilnych z układami TTL, są generalnie wytwarzane jako buforowane, lecz w dwóch zasadniczych odmianach. Pierwsza z nich cechuje się wejściowym napięciem progowym  $U_P$  leżącym w pobliżu wartości  $U_{DD}/2$ . Opisane powyżej struktury buforowane należą właśnie do tej grupy układów CMOS, przeznaczonych do sterowania przez układy z tej samej grupy. Aby umożliwić bezpośrednie sterowanie układów CMOS przez układy TTL, jest wytwarzana druga grupa układów CMOS, których wejściowe napięcie progowe jest ustalone na poziomie napięć progowych charakterystycznych dla układów TTL, czyli ok. 1,4 V.



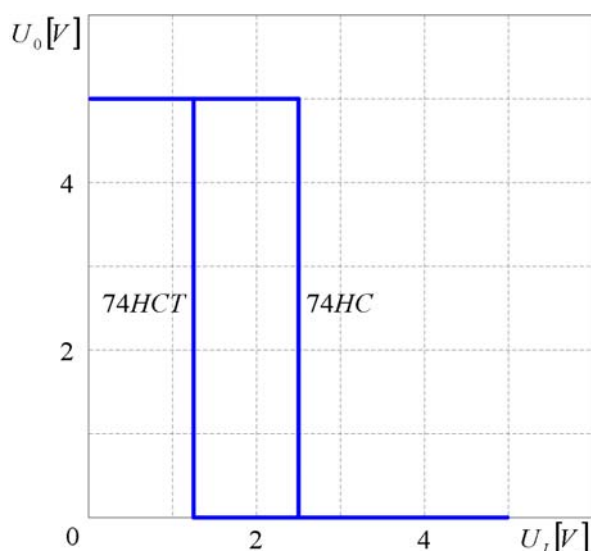


*Rys. 5.8 Przykład buforowania na wejściu i wyjściu bramki NOR*

Łatwo zauważyć, że łącząc wyjście układu LS TTL z wejściem CMOS z pierwszej grupy nie można zapewnić gwarantowanej poprawnej pracy przy poziomie H. Dlatego układy CMOS z napięciem progowym układów TTL są na wejściach wyposażone w specjalne bufory obniżające napięcie progowe (rys. 5.9). Układy te są zazwyczaj oznaczane dodatkową literą T w zapisie typu, np. 74HCT00. Dioda D3 obniża napięcie zasilania pierwszego inwertera. Gdy napięcie wejściowe jest równe 0 (na poziomie L), to napięcie wyjściowe tego inwertera jest podciągane do napięcia  $U_{DD}$  przez przewodzący tranzystor P2, całkowicie odcinając tranzystor P3. Na rys. 5.10 przedstawiono porównanie charakterystyk przejściowych dwóch bramek: 74HCT i 74HC.



*Rys. 5.9 Schemat ideowy bufora wejściowego układów HCT z układem zabezpieczającym.*

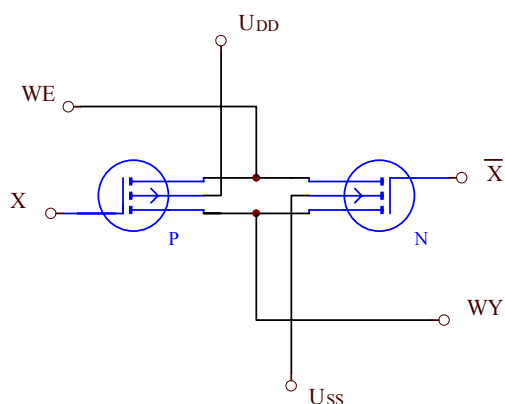


Rys. 5.10 Porównanie charakterystyk przejściowych bramek serii HC i HCT

Jedną z zalet układów CMOS jest ich duża impedancja wejściowa. Składają się na nią bardzo duża rezystancja (rzędu  $10^{12} \Omega$ ) oraz równoległa do niej pojemność wejściowa o wartości typowej 5 pF. Konsekwencją tak dużej impedancji jest wrażliwość wejścia na potencjał pochodzący od ładunku elektrostatycznego. Pomiędzy elektrodą sterującą bramki a półprzewodnikiem znajduje się ekstremalnie cienka warstwa krzemu, którego grubość jest rzędu  $0,1 \div 0,2 \mu\text{m}$ . Warstwa taka ma napięcie przebicia rzędu  $100 \div 200 \text{ V}$ . W praktyce mamy do czynienia z potencjałami znacznie przekraczającymi napięcie przebicia. Przykładowo pojemność ciała ludzkiego (ok. 300 pF) może się naładować do potencjału kilkunastu kV. Rozładowanie zwykle następuje w czasie bardzo krótkim stąd na ogół nie niszczy układu bipolarnego, natomiast układ CMOS w takim przypadku uległby zniszczeniu. Dlatego w celu przeciwdziałania temu w układach CMOS stosuje się diodowe obwody zabezpieczające wejście (rys. 5.9), a w niektórych nawet wyjście.

#### 5.4.2 Bramka transmisyjna

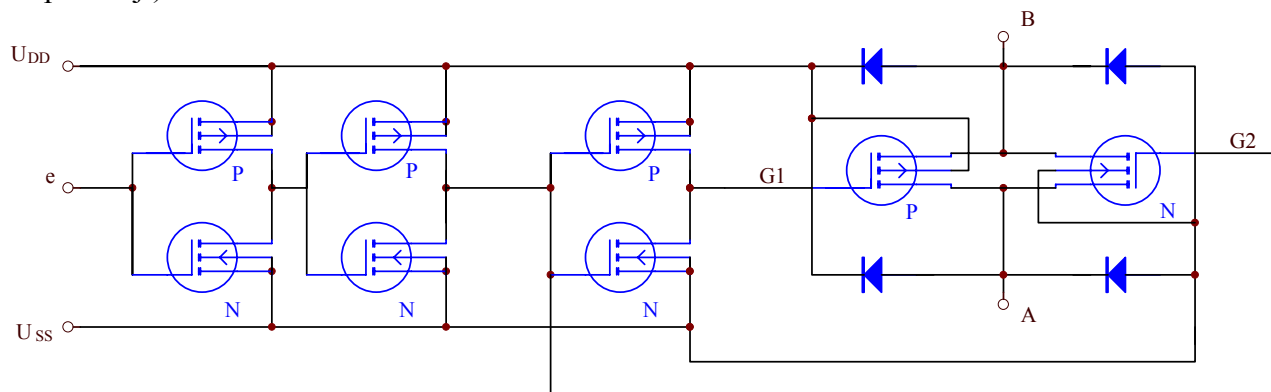
Ważnym funktoem CMOS jest bramka transmisyjna (sprzęgająca). Zapewnia ona transmisję zarówno sygnałów cyfrowych jak i analogowych. Schemat podstawowej struktury bramki transmisyjnej przedstawiono na rys. 5.11.



Rys. 5.11 Schemat bramki transmisyjnej

Dzięki równoległemu połączeniu dwóch komplementarnych tranzystorów polowych MOS układ jest symetryczny i zapewnia transmisję w obu kierunkach (stąd używana często nazwa

– klucz bilateralny). Do sterowania bramkami stosuje się inwerter. Schemat ideowy tak zmodyfikowanej bramki przedstawiono na rys. 5.12. Gdy  $e = H$  czyli  $G1 = L$  i  $G2 = H$ , to przełącznik jest włączony („zwarty”), to znaczy że między końcówkami A i B jest relatywnie mała rezystancja stałoprądowa  $R_{ON}$ , umożliwiającą transmisję sygnałów w obu kierunkach (końcówki A i B są elektrycznie równoważne). Napięcie wejściowe  $U_{is}$  (na końcówce A lub B) musi spełniać warunek  $U_{SS} \leq U_{is} \leq U_{DD}$ . Przy  $e = L$  czyli  $G1 = H$  i  $G2 = L$  przełącznik jest wyłączony („otwarty”) i rezystancja między końcówkami jest bardzo duża (stan wysokiej impedancji).

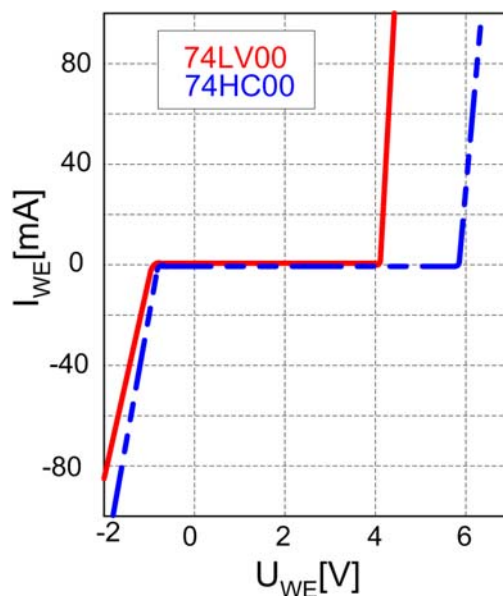


Rys. 5.12 Schemat ideowy bramki transmisyjnej.

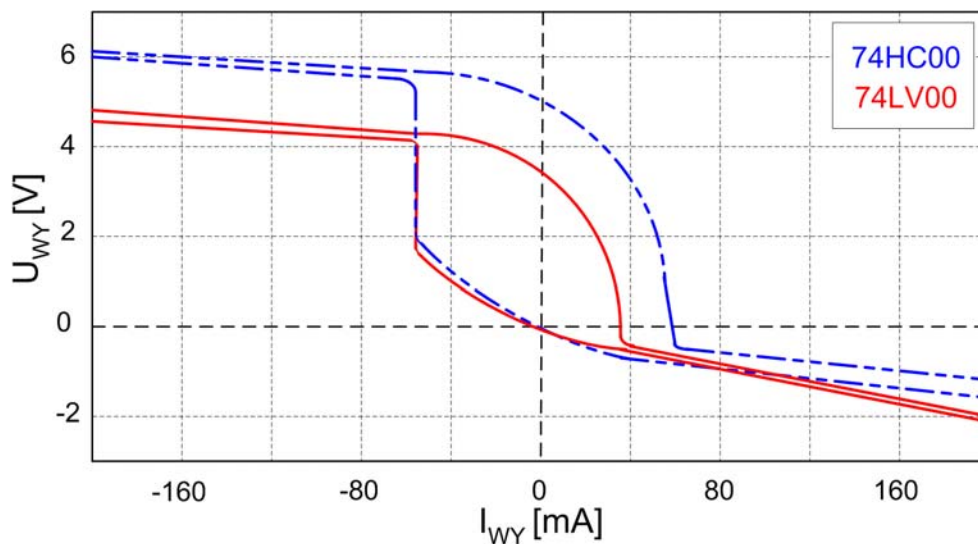
Przy napięciu zasilania  $U_{DD} = 5\text{ V}$ , gdy napięcie  $U_{is}$  zbliża się do  $U_{DD}$ , to małą rezystancję  $R_{ON}$  zapewnia tranzystor p-kanalowy. Natomiast gdy  $U_{is}$  zbliża się do  $U_{SS}$ , to małą rezystancję  $R_{ON}$  zapewnia tranzystor n-kanalowy. W tych warunkach tranzystory odpowiednio n- lub p-kanalowy nie przewodzą, gdyż ich napięcia  $U_{GS}$  są mniejsze od odpowiednich napięć progowych. Przy napięciu  $U_{is}$  znajdującym się w środkowej części przedziału ( $U_{SS}$ ,  $U_{DD}$ ) słabo przewodzą obydwa tranzystory i wypadkowa rezystancja  $R_{ON}$  jest mniejsza od rezystancji każdego z nich. Przy  $U_{DD} = 5\text{ V}$  ta rezystancja osiąga wartość  $8\text{ k}\Omega$  i maleje wraz ze wzrostem napięcia  $U_{DD}$  osiągając wartość stu kilkudziesięciu omów dla  $U_{DD}=15\text{ V}$ .

## 5.5. CHARAKTERYSTYKI BRAMEK CMOS

Na rys. 5.13 przedstawiono charakterystyki wejściowe bramek CMOS zasilanych napięciem  $5\text{ V}$  oraz  $3,3\text{ V}$ . Widać wpływ wejściowych diod zabezpieczających przed przebicciem, który objawia się gwałtownym wzrostem prądu jeśli napięcie wejściowe przekroczy poziom napięcia zasilania lub poziom masy o ok.  $0,7\text{ V}$  (dla zakresu od  $-0,7\text{ V}$  do  $5,7\text{ V}$  obwód wejściowy bramki stanowi rozwarcie). Charakterystyki wyjściowe dla dwóch przykładowych bramek CMOS zasilanych napięciem  $5\text{ V}$  i  $3,3\text{ V}$  zostały przedstawione na rys. 5.14.



Rys. 5.13 Charakterystyki wejściowe bramki 74HC00 zasilanej napięciem 5 V (kolor niebieski) oraz bramki 74LV00 zasilanej napięciem 3,3 V (kolor czerwony).



Rys. 5.14 Charakterystyki wyjściowe bramki 74HC00 (kolor niebieski) zasilanej napięciem 5V oraz bramki 74LV00 (kolor czerwony) zasilanej napięciem 3,3

Można zauważyć że nadmierne obciążenie bramki w stanie wysokim powoduje spadek napięcia na jej wyjściu a w ekstremalnym przypadku prowadzi do zmiany stanu na przeciwny. Z kolei jeżeli do bramki w stanie niskim na wyjściu będzie wpływał zbyt duży prąd to napięcie na jej wyjściu może wzrosnąć aż do takiej wartości, gdzie nie będzie już mowy o stanie niskim.

## 5.6. PORÓWNANIE RODZIN TTL I CMOS.

### 5.6.1 Napięcie zasilania

Układy TTL wymagają zasilania  $+5\text{ V} \pm 5\%$  (dla rodzin 74), podczas gdy układy CMOS pracują poprawnie w szerszym zakresie: od  $+2\text{ V}$  do  $+6\text{ V}$  – układy serii HC i AC, a od  $+3\text{ V}$  do  $+18\text{ V}$  – układy serii 4000B i 74C. Serie HCT i ACT z rodziny CMOS, projekto-

wane specjalnie jako zamienniki układów TTL wymagają napięcia zasilania o wartości +5 V. Niskonapięciowe układy CMOS mogą być zasilane jeszcze niższymi napięciami. Przykładowo napięcie zasilania układów z rodziny LVC, AVC w zakresie 1,6÷3,6 V, z rodziny AUC w zakresie 0,8÷2,6 V

### 5.6.2 Wejścia bramek

Wejście bramki TTL utrzymywane w stanie niskim zachowuje się, z punktu widzenia układu sterującego, jako źródło prądowe (o typowej wydajności 0,25mA dla układów LS-TTL). Wobec tego, aby utrzymać stan niski, trzeba odebrać ten prąd z wejścia. Nie sprawia to większych kłopotów wtedy, gdy mamy do czynienia tylko z układami TTL, ponieważ wyjścia TTL (nasycony tranzystor n-p-n) są w stanie wchłonąć dużo prądu. Sprawa się komplikuje, jeżeli bramka TTL jest sterowana sygnałem z wyjścia układu innej rodziny. Inaczej jest z układami CMOS, dla których wartość prądu wejściowego jest równa zeru.

Próg przełączania bramki TTL odpowiada dwóm spadkom napięcia na diodzie (ok.1,3 V). Próg przełączania bramki CMOS wynosi około 0.5 wartości napięcia zasilania, ale może ulegać dużym wahaniom (od 1/3 do 2/3 wartości napięcia zasilania). Układy serii HCT i ACT zaprojektowano tak, aby wartości ich napięć progowych były małe, zgodne z wartościami napięć progowych układów TTL.

### 5.6.3 Wyjścia bramek

Stopień wyjściowy bramki TTL w stanie niskim zachowuje się jak nasycony tranzystor zwierający wyjście do masy, w stanie wysokim jak wtórnik (z napięciem wyjściowym na poziomie około 2 diodowych spadków napięcia poniżej wartości napięcia zasilania). Obwód wyjściowy dowolnego układu CMOS (dotyczy to również serii HCT i ACT – patrz rys. 5.9) jest realizowany jako dwa połowe tranzystory MOS, łączące wyprowadzenie wyjścia z masą lub szyną dodatniego napięcia zasilającego. Oznacza to, że w tym przypadku wartość napięcia wyjściowego jest równa potencjałowi masy lub zasilania. Układy szybkie (serie F, AS; AC, ACT) mają na ogół większą wydajność stopnia wyjściowego niż układy wolniejsze (LS; 4000B, 74C, HC, HCT).

### 5.6.4 Szybkość i moc

Układy TTL pobierają w stanie statycznym ze źródła zasilania dość dużo prądu. Wartość pobieranego prądu jest większa dla układów szybszych (serie AS i F). W technologii TTL nie można wyznaczyć prostej analitycznej zależności pomiędzy mocą strat a częstotliwością. Generalnie moc strat rośnie wraz z częstotliwością przy czym w zakresie niskich częstotliwości można przyjąć że moc strat nie zależy od częstotliwości. W układach CMOS moc tracona jest sumą mocy traconej w stanie statycznym i mocy traconej podczas przełączania. Moc tracona w stanie statycznym jest znikomo mała w porównaniu z mocą traconą podczas przełączania. Moc podczas przełączania zależy od pojemności  $C$ , częstotliwości  $f_p$  i napięcia zasilania bramki:

$$P_{sr} = U^2 C f$$

W skład pojemności  $C$  wchodzi: pojemność obciążająca oraz pojemność własna bramki wynikająca z istnienia wewnętrznych, pasożytniczych pojemności. Zakres szybkości układów TTL rozciąga się od 33 MHz dla serii LS do około 200 MHz dla serii AS i F. Zakres szybkości układów CMOS rozciąga się od około 4 MHz (dla układów serii 4000B/74C zasilanych napięciem +5 V) do około 160 MHz (dla układów serii AC/ACT).

### 5.6.5 Odporność na zakłócenia

Ogólnie przyjętą miarą odporności na zakłócenia w układach cyfrowych jest napięciowy margines zakłóceń. Minimalna wartość marginesu zakłóceń na poziomie L (dla układów z rodziny CD4000B przy  $U_{DD} = 5V$ ) wynosi

$$M_{Lmin} = U_{ILmax} - U_{OLmax} = 1.5 - 0.05 = 1.45 V,$$

natomiast na poziomie H

$$M_{Hmin} = U_{OHmin} - U_{IHmin} = 4.95 - 3.5 = 1.45V.$$

Minimalna wartość marginesu zakłóceń w obydwu przypadkach jest zatem taka sama. Można zauważyć, że

$$M_{min}/U_{DD} = 1.45 / 5 = 0.29,$$

czyli margines zakłóceń jest bliski 30% wartości  $U_{DD}$ . Jest to znacznie lepszy wynik niż dla układów TTL, gdzie

$$M_{min} = 0.3 \div 0.4 V,$$

co odpowiada  $6 \div 8\%$  napięcia  $U_{CC}$ .

Podobne wyniki otrzymuje się dla szybkich układów CMOS z rodziny HC i AC. Przy minimalnym napięciu zasilania  $U_{DD} = 4.5 V$ :

$$M_{Lmin} = 1.35 - 0.1 = 1.25 V,$$

$$M_{Hmin} = 4.4 - 3.15 = 1.25 V,$$

co oznacza, że

$$M_{min} = 1.25 V$$

$$M_{min} / U_{DD} = 1.25 / 4.5 = 0.28$$

czyli margines zakłóceń jest niemal taki sam jak w rodzinie CD4000B. Podane wyżej oszacowania dotyczą najgorszego przypadku, to znaczy skrajnie niekorzystnych warunków temperaturowych.

## 5.7. WADY UKŁADÓW TTL I CMOS

Wejścia układów TTL w stanie niskim są źródłem prądu (0,25 mA dla układów LS, 0,5 mA dla układów F), utrudnia to stosowanie układów opóźniających RC z uwagi na konieczność użycia rezystorów o małej wartości rezystancji.

Próg przełączania układów TTL (dotyczy to również układów HCT i ACT) znajduje się bardzo blisko masy, co powoduje, że cała rodzina jest dość wrażliwa na zakłócenia. Ponieważ układy TTL są szybkie, reagują na krótkie impulsy zakłócające pojawiające się na masie, a takie zakłócenia powstają często przy wytwarzaniu szybko narastających impulsów.

Układy TTL mają szczególne wymagania odnośnie napięcia zasilania:  $+5V \pm 5\%$  przy stosunkowo dużym poborze mocy. Ich stopnie wyjściowe (z aktywnym obciążeniem), wytwarzają w chwilach przełączeń szpilki prądu zasilającego o dużym natężeniu. Nie wolno dopuszczać do rozchodzenia się tych szpilek po szynach zasilania, co zazwyczaj wymaga hojnego szafowania pojemnościami zwierającymi szpilki (najlepiej jednego kondensatora bezindukcyjnego o pojemności 100 nF na układ).

Wejścia CMOS są wrażliwe na zniszczenie przez ładunki elektrostatyczne. Współczesne układy z bramkami krzemowymi [HC(T), AC(T)] są bardziej odporne na zniszczenie niż ich przodkowie z bramkami metalowymi. Wartości napięć progowych układów CMOS mają

bardzo duży rozrzut, co jest przyczyną kłopotów w przypadku stosowania w układzie impulsów zegarowych o wolno zmiennych zboczach. Dotyczy to przede wszystkim układów, w których używa się powolnych elementów CMOS, typu 4000B lub 74C, o dużej wartości impedancji wyjściowej (od 200 do 500  $\Omega$ ). Sterowanie elementów tego typu impulsami o wolno narastających zboczach może nawet powodować wielokrotne przerzuty na ich wyjściach. Wszystkie nie używane wejścia układów CMOS, nawet te należące do nie wykorzystanych bramek, muszą być dołączone do źródła niskiego lub wysokiego poziomu logicznego.

Układy CMOS są bardzo wrażliwe na napięcia sterujące wyższe od napięcia zasilającego. Jeśli napięcie wejściowe przewyższa o kilka woltów napięcie zasilające wówczas przez wejściową diodę zabezpieczającą (rys. 5.9) płynie prąd rzędu 50 mA, który włącza parę tyristorowo połączonych tranzystorów pasożytniczych, będących ubocznym produktem procesu technologicznego CMOS z izolacją złączową. Włączenie tego tyristora powoduje zwarcie końcówki zasilania z masą. Układ się przegrzewa i po paru sekundach można go jedynie wymienić na nowy. Układy z bramką polikrzemową są bardziej odporne na zatrząskiwanie (napięcie wejściowe może być większe od napięcia zasilającego nawet o 5 V).

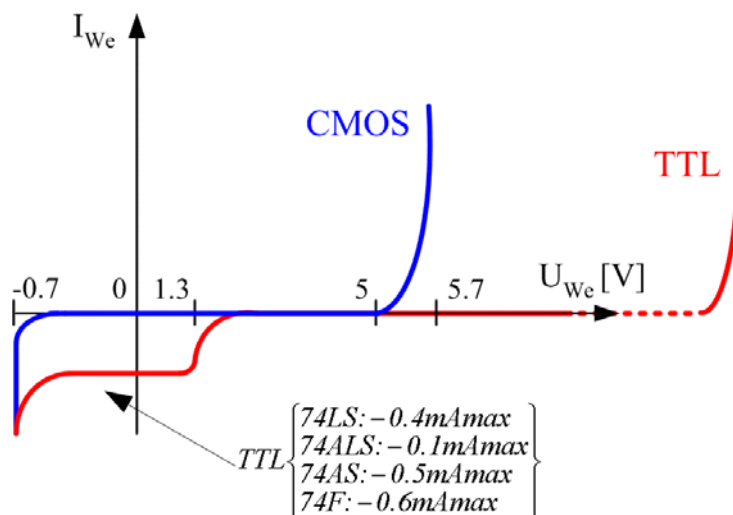
Każde wejście układu CMOS musi być podłączone do masy lub do zasilania. Jeśli tak nie jest trudno taką sytuację odnaleźć oscyloskopem ze względu na rozładowanie pojemności wejściowej bramki przez rezystancję wewnętrzną sondy.

Największą dokuczliwością może okazać się brak zasilania bramki CMOS chociaż bramka może pracować prawidłowo. Dzieje się tak dlatego, że układ jest zasilany poprzez jedno ze swoich wejść logicznych przez diodę zabezpieczającą (dioda D2 na rys. 5.9). W przypadku układu wielo-bramkowego przez dłuższy czas taka sytuacja może nie powodować żadnych problemów, gdy jednak na wszystkich wejściach układu jednocześnie pojawi się stan niski wtedy układ przestaje być zasilany i przestaje prawidłowo działać (za zajęciach laboratoryjnych bardzo często dochodzi do sytuacji, gdzie studenci pomimo braku zasilania zdejmują charakterystyki przejściowe).

Im szybsza bramka tym więcej problemów. Wraz z opracowaniem nowszych, szybkich układów CMOS i TTL, w szczególności serii AC i ACT, pojawił się problem: „dzwonienia” na masie. Przełączenie szybkiego układu powoduje wytworzenie w obwodzie jego masy skoku prądu o bardzo dużej wartości, powstającego na skutek ładowania pojemności obciążającej. Przykładowo ładowanie pojemności 50 pF w 3 ns od 0 do 5V wymaga  $I = C(du/dt) = 83mA$ . Następuje chwilowe podniesienie potencjału linii masy, które przenosi się na wyjścia układów zawartych w tej samej obudowie, znajdujących się w stanie niskim, mimo że układy te nie są przełączane. Dla użytkownika układów cyfrowych wypływa stąd jeden ważny wniosek: należy maksymalnie zmniejszyć wartość indukcyjności masy w układzie w którym stosuje się szybkie układy AS, F AC/ACT bądź inne. Najlepiej jest stosować płytki drukowane z płaszczyzną masy obejmującą całą powierzchnię płytki oraz mnóstwo kondensatorów o małej indukcyjności własnej zawierających składowe zmienne prądów zasilania.

## 5.8. PORÓWNANIE CHARAKTERYSTYK

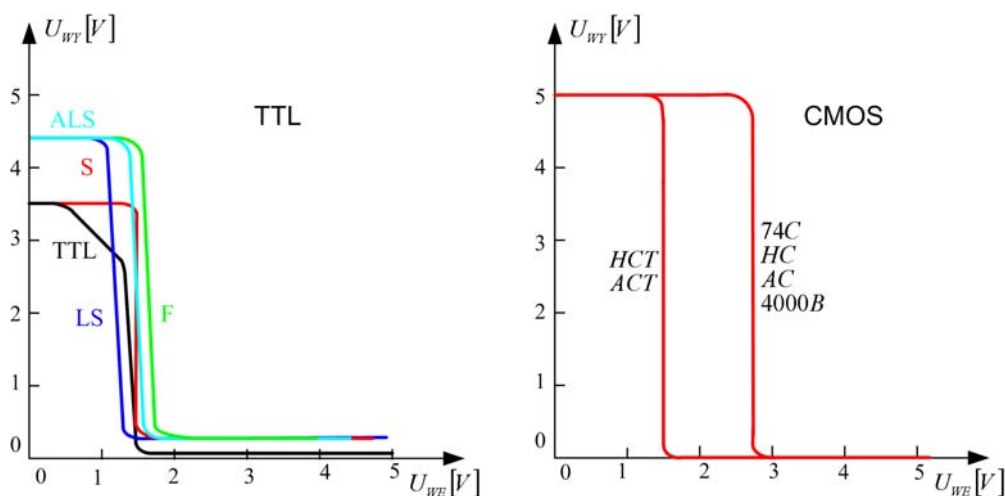
Charakterystyki przedstawione na rys. 5.15, 5.16 i 5.17 pokazują najistotniejsze właściwości układów TTL i CMOS z punktu widzenia ich wejść oraz wyjść. Rysując charakterystyki założono, że oba rodzaje układów są zasilane, jak zwykle, napięciem dodatnim o amplitudzie 5V, z drugą szyną zasilającą dołączoną do masy.



Rys. 5.15 Porównanie charakterystyk wejściowych układów CMOS oraz TTL

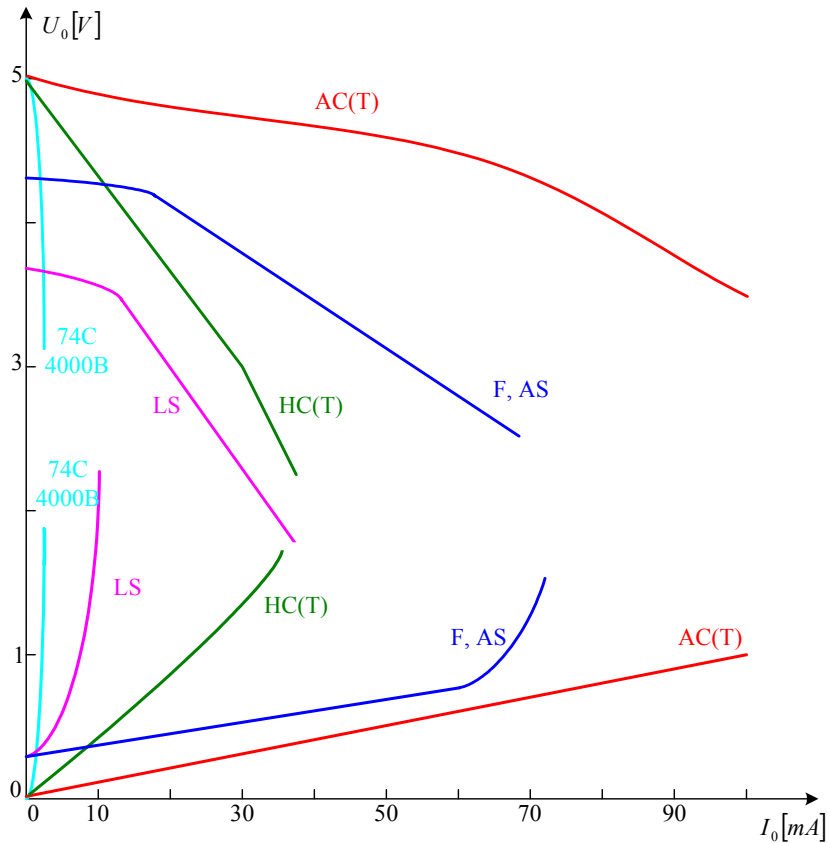
Wejście bramki TTL w stanie niskim jest źródłem prądu o dość dużej wartości. W stanie wysokim wejście to pobiera prąd o niewielkiej wartości zwykle kilka mikroamperów (nigdy więcej niż 20  $\mu\text{A}$ ). Wysterowanie bramki TTL wymaga odebrania prądu rzędu miliampera przy napięciu wejściowym nie większym niż 0,4 V. Niezrozumienie tego faktu może prowadzić do różnorodnych niepoprawnych zachowań układu sprzęgającego! Dla ujemnych napięć wejście układu TTL zachowuje się jak dioda zwierająca sygnał do masy, a dla napięć o wartościach większych niż +5 V zwiększenie wartości prądu wejściowego następuje na skutek wstecznego przebicia diody (LS, F) lub złącza baza-emiter (ALS, AS), co na ogół ma miejsce dla napięć o wartościach przekraczających 10 V. Próg przełączania na wejściu wynosi około +1,3 V, w najgorszym razie może wahać się od +0,8 V do +2 V. Dla bramek Schmita histereza wynosi około  $\pm 0,4$  V.

Wejście bramki CMOS praktycznie nie pobiera prądu w zakresie wartości napięć wejściowych od zera do napięcia zasilania ( $I_{we} \ll 1\mu\text{A}$ ). Poza tym zakresem wejście zachowuje się jak para diod zwierających sygnał wejściowy do szyn zasilania. Prąd płynący przez te diody nie powinien ani na chwilę przekroczyć wartości 10 mA dla układów 74C i 4000B, gdyż w takim przypadku może spowodować zatrzaśnięcie się układu niszcząc go (patrz podrozdział 5.7) Nowsze konstrukcje układów CMOS wytrzymują prądy wejściowe o większych wartościach i są bardziej odporne na uszkodzenia powodowane zatrzaśnięciem się.



Rys. 5.16 Charakterystyki przejściowa układów CMOS oraz TTL





Rys. 5.17 Charakterystyki wyjściowe rodziny TTL i CMOS w stanie niskim oraz wysokim

Obwód wyjściowy bramki TTL składa się z dołączonego do masy tranzystora n-p-n i dołączonego do zasilania  $U_{CC}$  wtórnika n-p-n (lub układu Darlingtona) z rezystorem kolektorowym ograniczającym wartość prądu. Jeden z tranzystorów jest nasycony, a drugi wyłączony. W efekcie wyjście TTL może pochłaniać prąd o dużej wartości (8 mA dla 74LS i 24 mA dla 74F) przy niewielkiej wartości napięcia wyjściowego i dostarczać prądu rzędu kilku miliamperów w stanie wysokim. Układ wyjściowy jest przystosowany do sterowania wejściami układu TTL, a jego obciążalność wynosi 10. W obwodzie wyjściowym układu CMOS znajduje się para komplementarnych tranzystorów polowych MOS, z których jeden jest włączony, a drugi wyłączony. W zakresie wartości napięć wyjściowych różniących się nie więcej niż o 1 V od wartości napięć zasilających wyjście zachowuje się jak rezystor  $R_{ON}$  tranzystora polowego MOS, dołączona do masy lub do  $U_{DD}$ . Gdy moduł różnicy napięcia wyjściowego i któregośkolwiek napięcia zasilania przekracza wartość 1 V, wyjście układu zachowuje się bardziej jak źródło prądowe niż rezystancja. Typowymi wartościami  $R_{ON}$  są: 200  $\Omega$  do 1 k $\Omega$  dla układów serii 4000B/74C, 50  $\Omega$  dla układów serii 74HC(T) i 10  $\Omega$  dla układów serii 74AC(T).

Charakterystyki wyjściowe obu typów układów (TTL i CMOS) przedstawiono na rys. 5.17. Składa się na nie zależność napięcia wyjściowego od prądu wyjściowego w dwóch stanach wyjścia: wysokim i niskim. Dla uproszczenia rysunku oś prądów wyskalowano w wartościach bezwzględnych prądu wyjściowego. Zauważmy, że na nie obciążonym wyjściu układu CMOS w stanie wysokim i niskim panuje odpowiednio napięcie  $U_{DD}$  i zero. Odpowiada to sytuacji, gdy do wyjścia układu CMOS są dołączone tylko wejścia CMOS (składowa stała prądu wejściowego jest równa 0). Dla porównania wyjść układów TTL: typowe poziomy TTL wynoszą 50 mV (w stanie niskim) i 3,5 V (w stanie wysokim), jeżeli obciążone są innymi układami.

## 6. SPRZĘGANIE ZE SOBĄ UKŁADÓW CYFROWYCH Z RÓŻNYCH RODZIN

Wiedza o sposobach wymuszania współpracy między układami cyfrowymi z różnych rodzin bardzo się przydaje, gdy w jednym systemie cyfrowym trzeba użyć elementów o odmiennych parametrach wejściowych i wyjściowych.

Są trzy przyczyny, które uniemożliwiają bezpośrednie łączenie ze sobą układów cyfrowych z różnych rodzin.

- a) niekompatybilność wejściowych poziomów logicznych,
- b) niedostateczna obciążalność wyjść,
- c) różne wartości napięć zasilających.

Kompatybilność pomiędzy poszczególnymi seriami zamieszczono w tab. 6.1. Układy TTL są zasilane napięciem +5V, lecz typowa wartość napięcia ich stanu wysokiego wynosi tylko +3,5V. Są one bardzo dobrym rozwiązaniem w sytuacjach, gdy trzeba pochłaniać prąd – wtedy wartość ich napięcia wyjściowego jest niewiele większa od zera. Ponieważ prąd wejściowy bramki CMOS w porównaniu z obciążalnością bramki TTL jest pomijalnie mały, zatem przy współpracy układów TTL i CMOS istotne jest zapewnienie tylko odpowiednich poziomów napięciowych. Na rys. 6.1 przedstawiono zakresy napięć wyjściowych i wejściowych układów TTL i CMOS zasilanych napięciem 5V. Zatem bramki TTL mogą bezpośrednio sterować układami cyfrowymi charakteryzującymi się małą wartością napięcia progowego, czyli układami TTL, HCT, ACT i NMOS (które z założenia są kompatybilne z układami TTL). Do wysterowania układów HC, AC i 4000B/74C zasilanych napięciem +5V trzeba z typowego sygnału wyjściowego układu TTL ( $U_{OHmin}=2,4...2,7V$ ) wytworzyć sygnał o amplitudzie 5V.

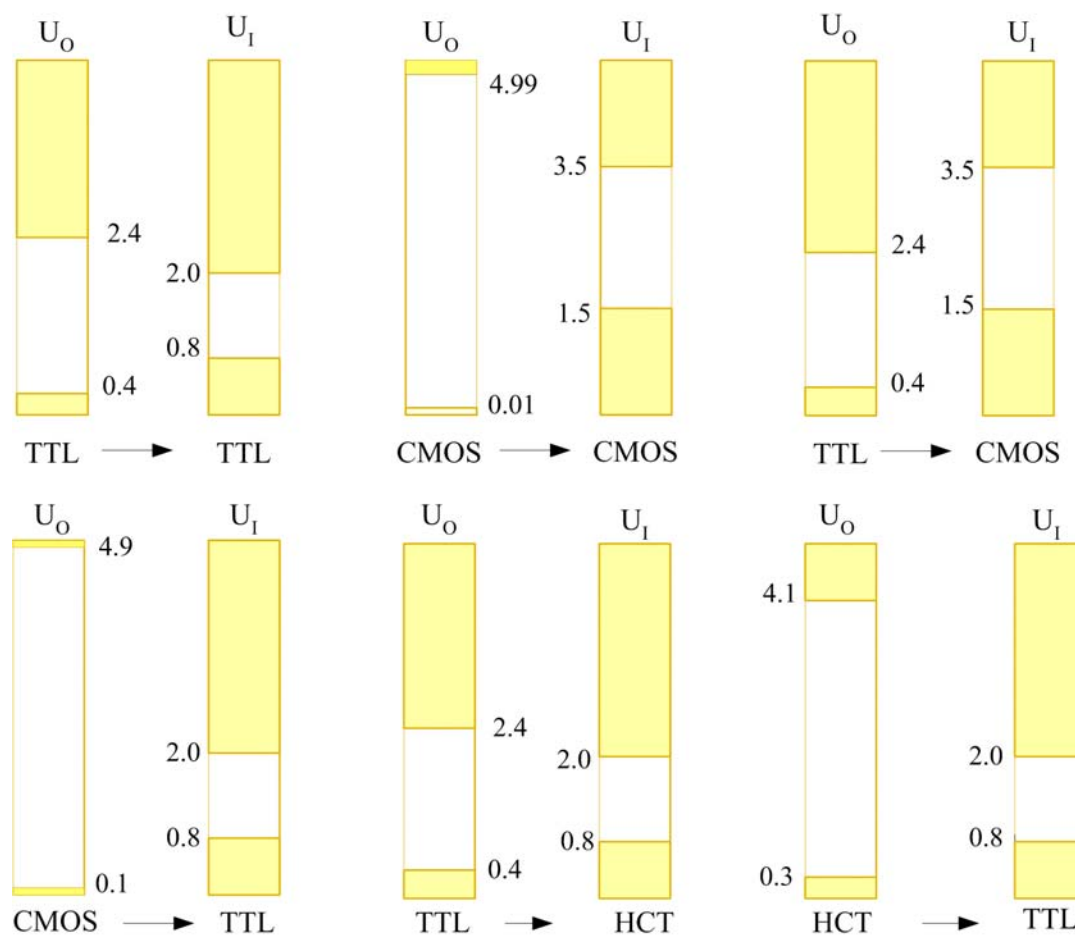
wyjście	wejście					
	TTL	HCT, ACT	HC, AC	HC, AC dla 3,3V	4000B, 74C dla 5V	4000B. 74C dla 10V
TTL	tak	tak	A	tak	A	B
HCT, ACT	tak	tak	tak	nie	tak	B
HC, AC	tak	tak	tak	nie	tak	B
HC, AC dla 3,3V	tak	tak	nie	tak	B	B
4000B, 74C dla 5V	tak	tak	tak	nie	tak	B
4000B, 74C dla 10V	C	C	C	C	C	tak

*Tab. 6.1 Kompatybilność pomiędzy poszczególnymi seriami; A - rezystor podciągający do 5V lub stopień pośredni układu HCT, B - zalecane stosowanie układu z otwartym kolektorem i rezystora kolektorowego dołączonego do źródła napięcia 10V, C – zalecane zastosowanie translatora poziomu*

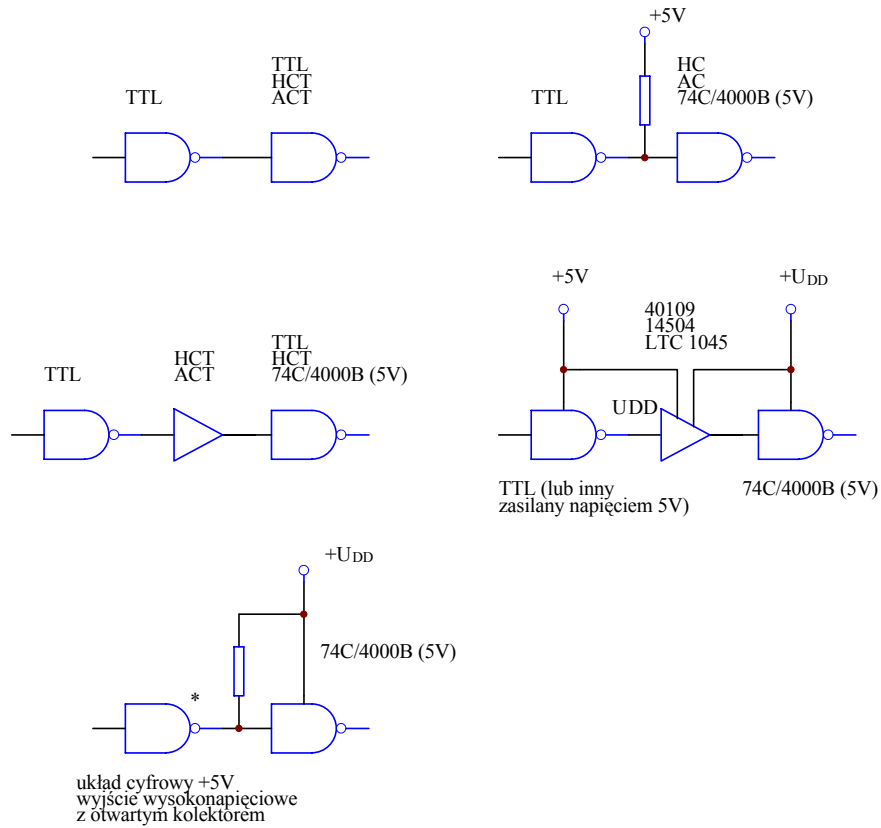
Można to zrobić przez zastosowanie rezystora podciągającego, dołączonego do źródła napięcia zasilania +5V, lub przez wtrącenie między układ TTL a układ HC lub AC bufora typu HCT lub ACT. Gdy stosuje się rezystor podciągający, wartość jego rezystancji wybiera się na zasadzie kompromisu: dla mniejszej wartości rezystancji układ jest szybszy, ale pochłania więcej mocy z zasilacza. Typową wartością rezystancji tego rezystora jest 4,7 kΩ. Napięcie wyjściowe układu TTL z dodanym rezystorem podciągającym osiąga wartość +5V, lecz końcowy fragment narastania napięcia wyjściowego, za który odpowiedzialny jest tylko rezystor, jest powolny. W celu wysterowania wysokonapięciowych układów CMOS należy stosować

translatory poziomów, takie jak 40109, 14504 lub LTC1045. Są one bardzo wolne, lecz nie ma to znaczenia, gdyż sygnały z ich wyjść są dołączane do równie powolnych układów CMOS. Sposoby sprzęgania z układami innych serii nie różnią się od już opisanych. Schematyczne sposoby łączenia układów TTL z CMOS przedstawiono na rys. 6.2.

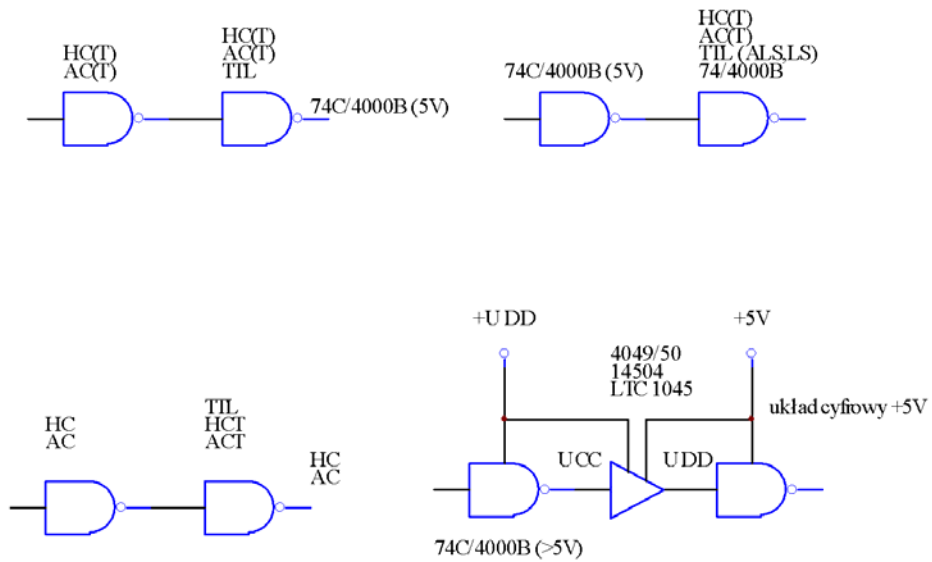
Wartości napięć wyjściowych wszystkich rodzajów układów CMOS osiągają 0V i  $U_{DD}$ , dlatego układy CMOS zasilane napięciem +5V mogą sterować układami TTL. Jednakże należy zauważyć, że układy ze starszych serii CMOS (4000B/74C), gdy zasilane są napięciem +5V, charakteryzują się kiepską obciążalnością wyjść (mogą pochłaniać prąd o wartości zaledwie 0,5mA), co uniemożliwia im sterowanie układami TTL. Do sterowania wysokonapięciowymi układami CMOS należy stosować translatory poziomów. Interesującym rozwiązaniem problemu sprzęgania ze sobą układów CMOS i TTL jest zmniejszenie wartości napięcia zasilającego układu CMOS. Wartość napięcia progowego układu cyfrowego zasilanego napięciem o wartości +3,3V wynosi około 1,4V, co odpowiada typowej wartości napięcia progowego układów TTL. Tak więc, wyjście układu TTL można bezpośrednio łączyć z wejściami układów HC/AC, zasilanymi napięciem o wartości 3,3V, i na odwrót. Dodatkową premią za zasilanie układu napięciem +3,3V jest zmniejszenie o około 55% wartości mocy dynamicznej w porównaniu z mocą pobieraną przez układ zasilany napięciem +5V, przy równoczesnym zwiększeniu wartości czasu opóźnienia sygnału tylko o około 40%. Należy jednak zauważyć, że nie można bezpośrednio łączyć ze sobą układów CMOS zasilanych napięciem +3,3V i +5V.



Rys. 6.1 Porównanie poziomów napięć wejściowych i wyjściowych układów TTL i CMOS



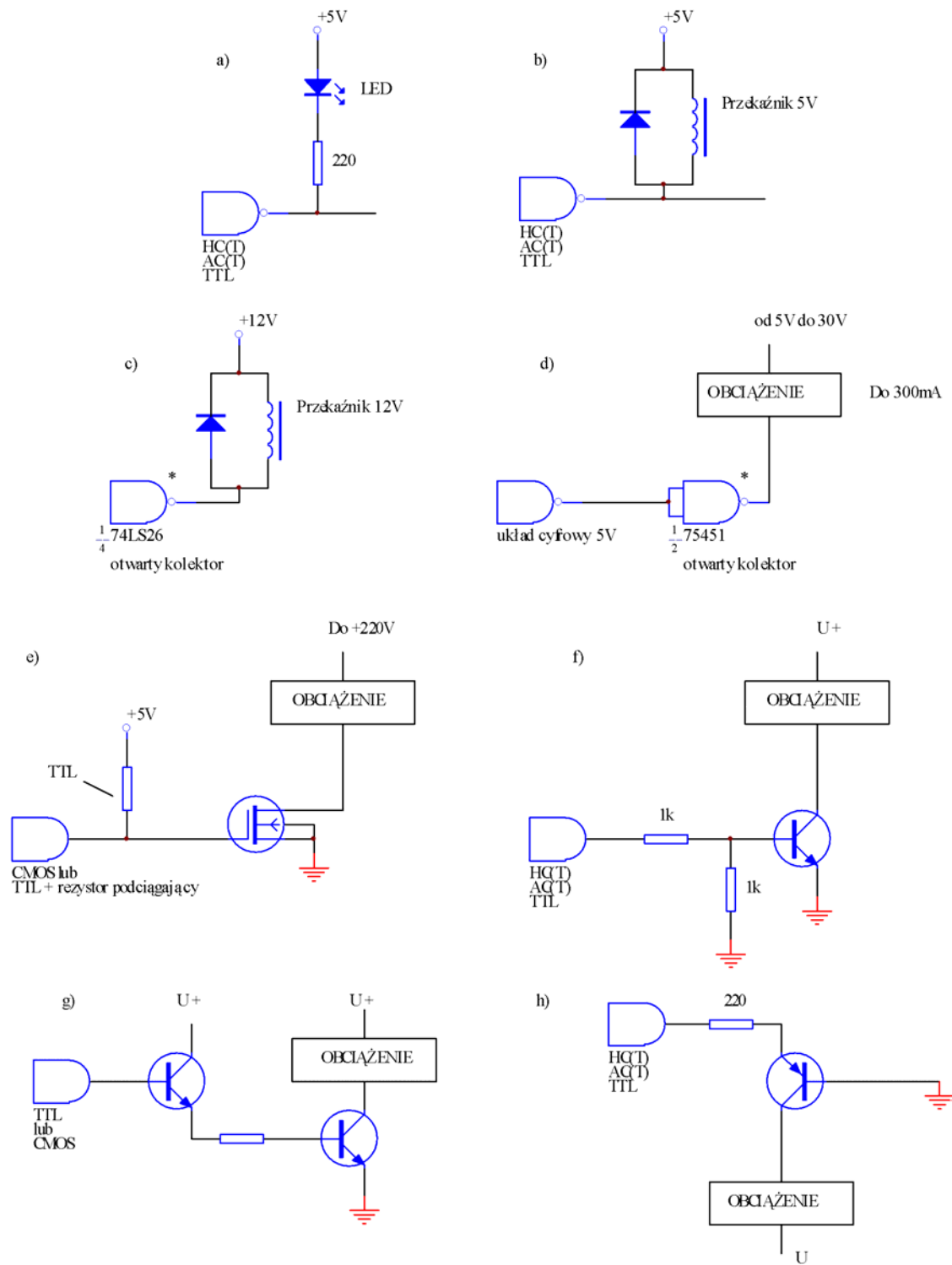
**Rys. 6.2** Sposoby połączeń układów TTL z innymi układami

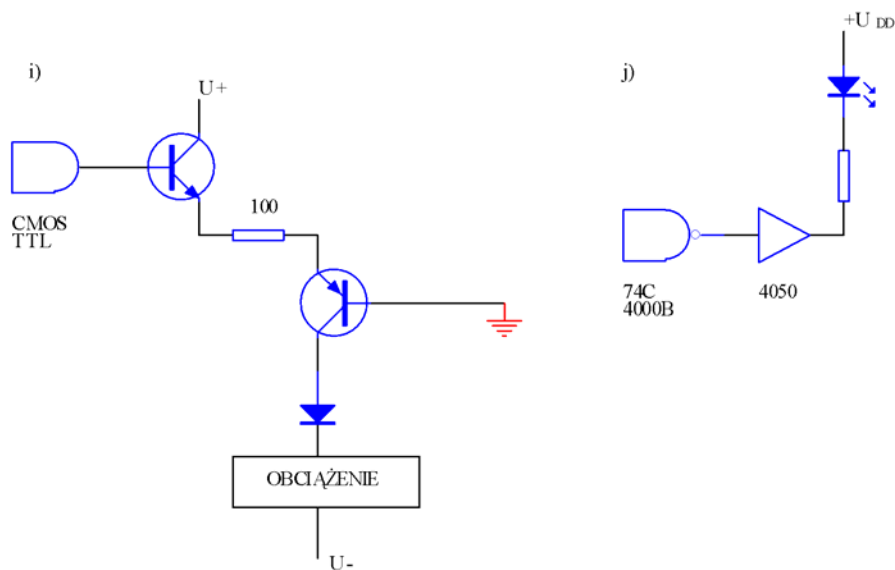


**Rys. 6.3** Sposoby łączenia układów CMOS z innymi układami

## 6.1. WSPÓLPRACA UKŁADÓW TTL I CMOS Z ZEWNĘTRZNYMI UKŁADAMI SPRZĘGAJĄCYMI

Wyjścia układów TTL i CMOS mogą bez większych trudnościysterować dwustanowe urządzenia w rodzaju wskaźników LED, przekaźników wyświetlaczy, a nawet przełączać niektóre obciążenia zmiennoprądowe.





**Rys. 6.4 Sposoby dołączania obciążeń do wyjść układów logicznych.**

Na rys. 6.4 przedstawiono niektóre z zastosowanych metod. Układ z rys. 6.4a jest standardowym układem sterującym świeceniem wskaźnika LED z wyjścia 5-woltowego układu cyfrowego. Jeśli elementem sterującym jest układ TTL, którego stopień wyjściowy woli prąd pochłaniać niż emitować, diodę LED należy umieszczać między wyjściem układu a źródłem napięcia zasilania +5V. Gdy diodą steruje układ CMOS, może ona być włączona albo między wyjściem i szyną zasilającą +5V, albo między wyjściem a masą układu. LED zachowuje się jak dioda półprzewodnikowa o wartości napięcia przewodzenia od 1,5 do 2,5V dla typowej wartości prądu przewodzenia od 5mA do 20mA. Na rys.6.4b przedstawiono sposób sterowania 5-woltowym przekaźnikiem o małym poborze prądu bezpośrednio z wyjścia układu cyfrowego pochłaniającego prąd, podobnie jak na rys. 6.4a. Dioda ogranicza amplitudę napięcia pojawiającego się na uzwojeniu przekaźnika w chwili wyłączenia prądu wyjściowego bramki (rezystancja uzwojeń przekaźnika powinna być tak dobrana by płynący prąd był mniejszy od wydajności prądowej bramki). W układzie z rys. 6.4c bramka 74LS26 (OC), o dopuszczalnej wartości napięcia wyjściowego równej +15V, steruje 12-woltowym przekaźnikiem, a w układzie z rys. 6.4d do sterowania nieznanym obciążeniem zastosowano połowę podwójnego nadajnika 75451, wytrzymującego prąd o wartości maksymalnej 300mA i napięcie wyjściowe o wartości maksymalnej 30V.

W układzie z rys. 6.4e wykorzystano tranzystor polowy MOS z kanałem n o małej wartości napięcia progowego. Jest on bardzo wygodny ze względu na dużą wartość impedancji wejściowej.

Gdy tranzystorem steruje bramka TTL, należy użyć rezystora podciągającego, aby uzyskać pewne przewodzenie tranzystora, bowiem gwarantowana wartość napięcia stanu wysokiego na wyjściu układu TTL (2,4V) jest zbyt mała do całkowitego otwarcia tranzystora.

Do sterowania obciążeniami wymagającymi zasilania napięciami o wartości większej niż napięcie +5V można stosować układy z rys. 6.4c, d i e.

Przedstawione przykłady nie mają praktycznego zastosowania, gdy zostaną w nich użyte układy cyfrowe typu HC, LS lub 74C ze względu na ograniczoną wydajność prądową stopni wyjściowych tych układów (maksymalne wartości prądu pochłanianego wynoszą odpowiednio: 5, 8 i 3,5mA). Sprzęganie układu o małej obciążalności z wysokoprądowym obciążeniem zewnętrznym jest możliwe dopiero poprzez stopień pośredni z dużą wydajnością prądową. Gdy silnoprądowym obciążeniem steruje bezpośrednio układ cyfrowy, prąd z obciążenia przepływa przez ten układ do masy systemu cyfrowego. Należy więc zwrócić szczególną

uwagę na doprowadzenie masy do układu scalonego drutem o możliwie dużej grubości. Ze względu na możliwość wystąpienia zakłóceń w niektórych przypadkach może okazać się konieczne poprowadzenie odrębnego przewodu masy do zasilania. Na schemacie z rys. 6.4f przedstawiono sposób wykorzystania tranzystora n-p-n do sterowania prądem o dużym natężeniu, płynącym przez zewnętrzne obciążenie, z wyjścia 5-woltowego układu cyfrowego. Jeśli wartość prądu okaże się zbyt duża dla pojedynczego tranzystora, można użyć układu dwutranzystorowego, jak na rys. 6.4g. Na rys. 6.4h oraz 6.4i pokazano sposoby sterowania obciążeniami dołączonymi jedną końcówką do źródła ujemnego napięcia zasilania. Ustalenie stanu wysokiego na wyjściu układu cyfrowego powoduje nasycenie tranzystora p-n-p. W układzie z rys. 6.4h wartość prądu emitera, a tym samym wartość prądu kolektora (obciążenia) jest ograniczona wielkością rezystancji rezystora emiterowego lub wydajnością prądową bramki, podczas gdy w ulepszonym układzie z rys. 6.4i obciążenie może pobierać prąd o większym natężeniu, ponieważ zastosowano wtórnikowy układ buforujący z tranzystorem n-p-n. W tym ostatnim układzie szeregowo dioda na wyjściu nie pozwala na przekroczenie poziomu zerowego przez napięcie na obciążeniu. W obu przypadkach maksymalny prąd obciążenia jest równy prądowi tranzystora p-n-p. Wśród układów scalonych można znaleźć odpowiedniki tych układów, mogące współpracować zarówno z wyjściami TTL i CMOS, zapewniające wysterowanie obciążeń zasilania napięciami o dużych wartościach i pobierających prąd o wartościach rzędu kilkuset mA. Sterowanie zewnętrznymi obciążeniami, nawet jeśli nie są to tylko diody świecące, z wyjść niskoprądowych układów cyfrowych serii 4000B/74C, o wydajności prądowej stopnia końcowego nie przekraczającej 1mA, wymaga użycia jakiegось wzmacniacza mocy jako stopnia pośredniczącego. W układzie z rys. 6.4j wskaźnik LED jest sterowany za pośrednictwem bufora 4050 (sześć buforów w jednym układzie scalonym). Może on wchłonać prąd o wartości od 5mA do 50mA, dla napięcia zasilania o wartościach od 5V do 15V (maksymalna wartość prądu wyjściowego rośnie ze wzrostem napięcia zasilania).

## **6.2. PROBLEM NIETYKORZYSTANYCH WYPROWADZEŃ BRAMEK I JEGO KONSEKWENCJE**

Rzadko zdarza się, że budując układ, wykorzystujemy wszystkie wejścia używanych elementów. Najczęściej korzystamy z gotowych układów scalonych (np. cztery bramki NAND w jednej kości). Pozostają wtedy niewykorzystane wejścia (np. mamy bramkę trzywejściową, a używamy tylko dwóch wejść) lub nawet całe bramki. Pojawia się pytanie co zrobić z takimi wiszącymi wyprowadzeniami. Okazuje się, że jeśli zapomnimy o teoretycznie zupełnie niepotrzebnych wejściach, to czyhają na nas różne, niekiedy bardzo złośliwe pułapki. Problem niewykorzystanych wejść należy rozpatrywać oddzielnie dla bramek TTL oraz CMOS.

### **6.2.1 Bramki TTL**

Niewykorzystane wejścia, które mogą mieć wpływ na stan układu (np. wejście zerujące przerzutnik), muszą być dołączone do punktu układu o ustalonym napięciu stanu wysokiego lub niskiego, odpowiednio do sytuacji.

Wejścia, których stan jest obojętny (np. wejścia niewykorzystanych bramek w tym samym układzie scalonym), mogą zostać nie dołączone w układach TTL. Można ignorować niewykorzystane fragmenty układu TTL, podobnie jak wejścia nie wpływające na stan układu (np. jedno z wejść bramki NAND, gdy na inne podane jest 0, albo wyprowadzeniami równoległego ładowania licznika, jeśli nie uaktywnia się nigdy wejścia ładującego LOAD). Nigdzie nie dołączone wejście układu TTL pozostaje w zasadzie w stanie wysokim. Na wejściu utrzymuje się potencjał odpowiadający progowi przełączania (około 1,3 V), ponieważ jednak nie płynie przez nie żaden prąd, więc tranzystor wejściowy nie zostaje włączony. Czasami

spotyka się układy, w których wejścia TTL, wymagające ustalenia w stanie wysokim, pozostają nie dołączone. Układ może wtedy co prawda działać poprawnie, ale nie powinno się tego robić. Nigdzie nie dołączone wejście ma zerową odporność na zakłócenia, a przedostające się przez sprzężenia pojemnościowe pobliskie sygnały mogą spowodować powstanie na nim krótkotrwałych stanów niskich. To powoduje pojawienie się szpilek na wyjściach układów kombinacyjnych (bramek), co może mieć fatalne skutki dla reszty układu. Nie dołączone wejście RESET może zerować układ w zupełnie nieodpowiednich momentach. Szpilki, które są wszystkim winne, umykają obserwacji na oscyloskopie, ponieważ mogą to być pojedyncze przypadkowe impulsy o czasie trwania ok. 20 ns. A więc po co budować zawodne układy, jeżeli się wie, jak przekształcić je kilkoma prostymi połączeniami w układy niezawodne. W publikacjach omawiających układy scalone TTL można spotkać następujące zalecenia dotyczące wejść nie wykorzystanych:

- \* Wejścia nie wykorzystane należy łączyć z wykorzystywanymi wejściami tej samej bramki, pod warunkiem nieprzekraczania dopuszczalnego obciążenia bramki sterującej.
- \* Wejścia nie wykorzystywane należy łączyć z niezależnym źródłem napięcia zasilania wynoszącego około 3,5 V.
- \* Wejścia nie wykorzystywane należy łączyć z wejściem bramki nie wykorzystanej, której wejścia połączono tak, aby na jej wyjściu była jedynka logiczna. Należy oczywiście przestrzegać przy tym reguł obciążalności tej bramki.
- \* Wejścia nie wykorzystywane należy łączyć przez rezystor ograniczający 1 k $\Omega$  do napięcia zasilania +5 V. Rezystor zapewnia nieprzekraczanie dopuszczalnego prądu wejść w razie przypadkowego wzrostu napięcia zasilania powyżej dopuszczalnej dla wejścia granicy 5,5 V. Do jednego takiego rezystora ograniczającego można przyłączyć do 25 nie wykorzystywanych wejść.
- \* Pozostawić wejścia nie wykorzystane nie połączone z czymkolwiek.
- \* Dopuszczalne jest łączenie wejść układów serii 74LS, mających wejścia diodowe, bezpośrednio z napięciem zasilania UCC, gdyż napięcia przebicia diod wejściowych są tak duże, że nie ma obawy uszkodzenia układu.

### 6.2.2 Bramki CMOS

Jedną z zalet układów CMOS jest ich duża impedancja wejściowa. Składają się na nią bardzo duża rezystancja (rzędu  $10^{12}$   $\Omega$ ) oraz równoległa do niej pojemność wejściowa o wartości typowej 5 pF. Konsekwencją tak dużej impedancji jest wrażliwość wejścia na potencjał pochodzący od ładunku elektrostatycznego. Jeżeli ładunek o wartości przekraczającej wielokrotnie napięcie przebicia warstwy SiO<sub>2</sub> podany zostanie na jakiegokolwiek wyprowadzenie układu CMOS, ulega on zniszczeniu. W celu przeciwdziałania temu, w układach CMOS stosuje się różne diodowe obwody zabezpieczające wejścia (rys. 5.9). Jednakże żadna z obecnie stosowanych metod zabezpieczania wejść układów MOS nie może całkowicie i skutecznie zapobiec uszkodzeniu układów na wskutek gromadzenia się ładunku elektrostatycznego. Są one skuteczne jedynie wówczas, gdy wejścia są podpięte do uziemienia lub do źródła napięcia zasilania. Natomiast nie podpięte układy mogą ulec zniszczeniu w czasie transportu, manipulacji, testowaniu, montażu itp. Jeśli już uda się nie zniszczyć nie podłączonego wejścia bramki CMOS, to nie znaczy, że nie ma więcej problemów. Rozwarte wejścia powodują, że układ sporadycznie działa niepoprawnie. Sprawdzamy sondą oscyloskopową i niby jest dobrze. Wskazuje ona zero woltów, ale dzieje się tak tylko dlatego, że sonda rozładowała pojemność wejściową. Po pewnym czasie zdoła się ona naładować do poziomu progu przełączania (około 1/2 napięcia zasilania), ale w wyniku rozrzutu technologicznego może się ona wahać od 1/3 do 2/3 napięcia zasilania. Dlatego nie możemy przewidzieć jaki stan ustali się na wejściu. Z drugiej strony w stanie przełączania bramka rozprasza dużą moc z napięcia zasilania, co



może prowadzić do przegrzania układu scalonego. Reasumując, bezwzględnie nie można pozostawiać nie podłączonych wejść bramek CMOS.

Dlatego powinno się przestrzegać zasad, które pozwolą na uniknięcie uszkodzeń układów w skutek przebicia:

- \* Układy powinny być przechowywane wyłącznie w metalowych pojemnikach lub umieszczone w gumie przewodzącej i w żadnym wypadku nie mogą być umieszczane w styropianie lub podobnych tworzywach.
- \* Montaż układów MOS na pakietach powinien być wykonywany za pomocą uziemiowanych urządzeń do lutowania na fali lub za pomocą izolowanej lutownicy. Stoły robocze przy montażu powinny być wyłożone gumą przewodzącą lub folią metalową.
- \* Wszystkie wejścia układów MOS połączone z łączówkami pakietu powinny być zabezpieczone rezystorem szeregowym o rezystancji 1-100k $\Omega$  i rezystorem przyłączonym między wejściem a jednym z napięć zasilania lub masą.
- \* Nieużywane wejścia układów MOS zawsze należy łączyć z jednym z napięć zasilania lub masą !! Niebezpieczeństwo uszkodzenia wejścia wskutek połączenia go bezpośrednio z napięciem zasilania, typowe dla układów TTL, nie występuje w układach MOS, gdyż napięcia przebicia warstwy tlenku pod bramką są większe od dopuszczalnych napięć zasilania tych układów.

### 6.3. SYGNAŁY CYFROWE A DŁUGIE PRZEWODY

Z przesyłaniem sygnałów cyfrowych za pośrednictwem kabli lub między współpracującymi ze sobą urządzeniami są związane problemy szczególnej natury. Znaczenia nabierają takie zjawiska jak obciążenia pojemnościowe linii sygnałowych, wyłapywanie zakłóceń i zjawiska typowe dla linii długich. Często wymaga to stosowania specjalnych metod sprzęgania układów, zapewniających pewną transmisję sygnałów cyfrowych. Niektóre z tych problemów pojawiają się również w obrębie urządzeń montowanych na jednej płytce, tak że znajomość metod transmisji sygnałów cyfrowych jest ogólnie przydatna. Zacniemy od tych lokalnych problemów, potem przejdziemy do problemów powstających przy przesyłaniu sygnałów między płytkami, po szynach danych, a zakończymy omówieniem transmisji sygnałów pomiędzy urządzeniami połączonymi przewodami koncentrycznymi lub skrętkami dwuprzewodowymi.

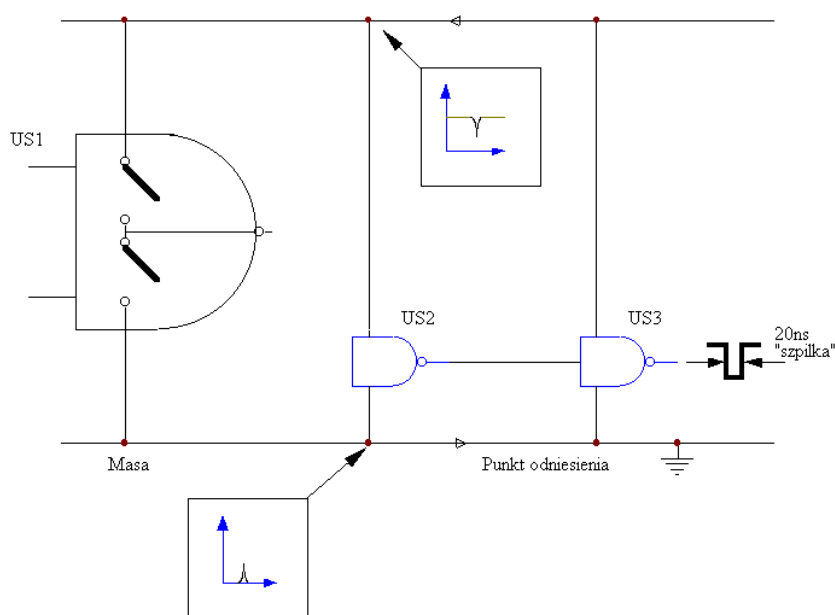
#### 6.3.1. Połączenia lokalne - stany przejściowe w stopniach wyjściowych.

Przeciwsobne stopnie wyjściowe układów TTL i CMOS składają się z pary tranzystorów, łączących szynę napięcia  $U_+$  z masą. Jeżeli na wyjściu zmienia się stan logiczny, to w stopniu wyjściowym występuje stan przejściowy, w którym oba tranzystory są włączone. W tym czasie układ impulsowo zwiększa pobór prądu z zasilacza, powodując pojawienie się w linii zasilania  $U_+$  szpilki ujemnej, a w linii masy szpilki dodatniej. Sytuację tę ilustruje rys. 6.5. Załóżmy, że układ  $US_1$  zmienia stan, wskutek czego wzdłuż ścieżek łączących go z napięciem zasilania i z masą przepływa chwilowo prąd o dużym natężeniu (w układach 74Fxx lub 74AC(T)xx jego wartość może osiągnąć 100mA). Indukcyjności doprowadzeń powodują, że w liniach zasilania pojawiają się krótkie szpilki napięciowe, obserwowane względem punktu odniesienia zaznaczonego na rysunku. Choć trwają zaledwie od 5ns do 20ns, mogą być źródłem wielu kłopotów. Załóżmy, że  $US_2$  utrzymuje na swoim wyjściu stan niski i że wyjście to dołączono do wejścia położonego gdzieś dalej układu  $US_3$ . Dodatnia szpilka w linii masy układu  $US_2$  pojawia się także na wyjściu i jeżeli amplituda jest wystarczająco duża, może zostać mylnie zinterpretowana przez układ  $US_3$  jako chwilowy stan wysoki. Wobec tego na wyjściu układu  $US_3$  pojawi się normalny, standardowy impuls TTL.

Do podstawowych środków zapobiegawczych należą:

- \* poszerzenie ścieżek masy wszędzie tam, gdzie jest to możliwe na całej powierzchni płytki, w skrajnych przypadkach masą może być cała powierzchnia płytki (całą jedną stronę dwustronnego laminatu przeznaczoną na masę),
- \* montowanie możliwie dużej liczby kondensatorów zwierających składowe zmienne prądów zasilania.

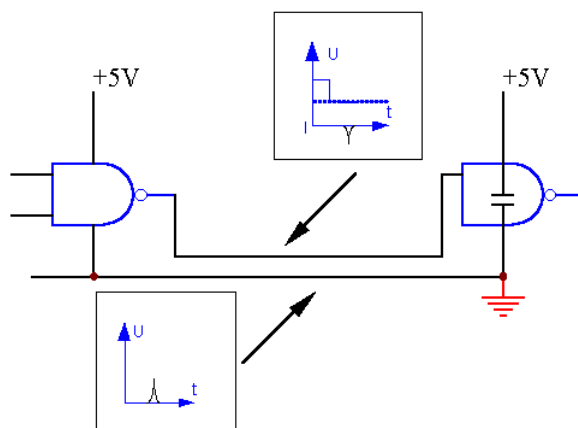
Poszerzenie ścieżek masy powoduje zmniejszenie amplitudy szpilek napięcia wytwarzanych przez impulsy prądu (mniejsze wartości indukcyjności i rezystancji), a rozrzucone po układzie kondensatory łączące  $U_+$  z masą skracają drogi rozchodzenia się szpilek, co oznacza mniejszą wartość indukcyjności tych dróg, a tym samym znaczne zmniejszenie amplitud szpilek (kondensator działa jak lokalne źródło napięcia, którego wartość nie zmienia się zauważalnie w czasie trwania szpilki). Kondensatory zwierające do masy składowe zmienne prądu zasilającego jest zalecane we wszystkich układach, zarówno cyfrowych, jak i liniowych. Pomagają one utrzymać małą wartość impedancji źródeł zasilania dla dużych częstotliwości i zapobiegają sprzężaniu się układów przez szyny zasilające.



**Rys. 6.5 Sposób powstawania zakłóceń na masie**

### 6.3.2. Szpilki powstające przy sterowaniu obciążeniami pojemnościowymi

Przypadek kiedy pomimo zabiegów usuwających impulsy szpilkowe z linii zasilających kłopoty nie ustąpiły pokazano na rys. 6.6. Wyjście układu cyfrowego traktuje rozproszoną pojemność doprowadzeń i wejściową pojemność sterowanego przez siebie układu (typowo od 5 do 10 pF) jako część właściwego obciążenia. Szybkie przełączenie wymaga przeładowania obciążenia prądem zgodnie z równaniem:  $I=C(dU/dt)$ .



Rys. 6.6 Zakłócenia na masie powodowane przeładowaniem pojemności obciążającej.

Rozważmy, na przykład, układ 74ACxx (dający skok napięciowy o amplitudzie 5 V w czasie 3 ns) obciążony pojemnością 25 pF (odpowiadającą trzem lub czterem wejściami układów cyfrowych z krótkimi doprowadzeniami). W czasie przełączenia w obwodzie wyjściowym powstaje prąd o wartości 40mA, niemal równej maksymalnej wartości prądu wyjściowego układu! Ten prąd płynie przewodem masy (przy skoku w dół) lub przewodem zasilania +5V (przy skoku w górę), powodując, jak poprzednio, powstanie szpilek po stronie odbiornika. W systemach synchronicznych, w których jednocześnie następuje przełączanie wielu układów, zakłócenia szpilkowe mogą doprowadzić nawet do niepewnej pracy systemu. Zdarza się to w szczególności w dużych układach, montowanych na płytkach drukowanych, o długich połączeniach i długich ścieżkach masy. Objawy uszkodzenia układu mogą pojawić się od czasu do czasu, gdy cała grupa linii danych równocześnie zmieni stan z wysokiego na niski, powodując przepływ przez ścieżkę masy prądu o bardzo dużej wartości. W ten sposób w układach mikroprocesorowych pojawiają się błędy zapisu danych do pamięci, których cechą charakterystyczną jest zależność wystąpienia błędu od składu danych. Zalecanym rozwiązaniem konstrukcyjnym jest stosowanie jak najszerzych i najgrubszych ścieżek i przewodów masy, aby uzyskać najmniejszą wartość ich indukcyjności. Omówione problemy są mało dokuczliwe w układach wykonanych z użyciem wysokonapięciowych układów CMOS ze względu na stosunkowo powolne narastanie i opadanie ich napięć wyjściowych, natomiast bardzo dają się we znaki, gdy stosuje się układy serii F, AS i AC (T). Ze względu na problemy z zakłóceniami nie jest wskazane stosowanie bez potrzeby zbyt szybkich układów cyfrowych. Dlatego zalecane jest używanie w sprzeczności ogólnego przeznaczenia układów serii HC, a nie AC.

### 6.3.3. Połączenia między płytkami

Przesyłanie sygnałów cyfrowych między poszczególnymi płytkami, z których składa się urządzenie, stwarza dodatkowe możliwości powstawania różnorodnych problemów. Zarówno większe pojemności doprowadzeń, jak i dłuższa droga powrotna sygnału powodują, że szpilkowe impulsy napięciowe wywołane skokami prądu, powstającymi w momencie przełączania, mają większe amplitudy i są trudniejsze do usunięcia. Należy unikać przesyłania mię-

dzy płytkami sygnałów zegarowych, a doprowadzenia masy do poszczególnych płytek powinny być wyjątkowo solidne. Jeżeli już trzeba przesyłać sygnały taktujące, to na każdej płycie powinny znajdować się bramki buforujące wejścia sygnału zegarowego.

## 7. LITERATURA

1. S. Kuta, Elementy i układy elektroniczne. Cz. II
2. J. Kalisz, Podstawy elektroniki cyfrowej (wydanie trzecie), WKŁ, Warszawa 1998
3. W. Głodzki, L. Grabowski, Pracownia podstaw techniki cyfrowej
4. P. Horowitz, W. Hill, Sztuka elektroniki 2
5. P. Gajewski, J. Turczyński, Cyfrowe układy scalone CMOS
6. W. Sasal, Układy scalone serii UCY74LS i UCY74S
7. <http://www.ti.com/>
8. <http://www.fairchildsemi.com/>